

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF RECEIPT OF
RECORD COPY

(PCT Rule 24.2(a))

From the INTERNATIONAL BUREAU

To:

IKEUCHI, Hiroyuki
Suite 401, UMEDA PLAZA Building,
25, Nishitenma 4-chome, Kita-ku
Osaka-shi, Osaka 530-0047
JAPON



Date of mailing (day/month/year) 17 May 2001 (17.05.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference H1019-02	International application No. PCT/JP01/03474

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. (for all designated States except US)
KUMAGAWA, Katsuhiko et al (for US)

International filing date : 23 April 2001 (23.04.01)
Priority date(s) claimed : 24 April 2000 (24.04.00)
27 April 2000 (27.04.00)
12 June 2000 (12.06.00)
16 June 2000 (16.06.00)

Date of receipt of the record copy
by the International Bureau : 04 May 2001 (04.05.01)

List of designated Offices :

EP : AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR

National : CN, KR, SG, US

ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
- ☒ confirmation of precautionary designations
- ☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer: Shinji IGARASHI
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38

INFORMATION ON TIME LIMITS FOR ENTERING THE NATIONAL PHASE

The applicant is reminded that the "national phase" must be entered before each of the designated Offices indicated in the Notification of Receipt of Record Copy (Form PCT/IB/301) by paying national fees and furnishing translations, as prescribed by the applicable national laws.

The time limit for performing these procedural acts is **20 MONTHS** from the priority date or, for those designated States which the applicant elects in a demand for international preliminary examination or in a later election, **30 MONTHS** from the priority date, provided that the election is made before the expiration of 19 months from the priority date. Some designated (or elected) Offices have fixed time limits which expire even later than 20 or 30 months from the priority date. In other Offices an extension of time or grace period, in some cases upon payment of an additional fee, is available.

In addition to these procedural acts, the applicant may also have to comply with other special requirements applicable in certain Offices. **It is the applicant's responsibility** to ensure that the necessary steps to enter the national phase are taken in a timely fashion. Most designated Offices do not issue reminders to applicants in connection with the entry into the national phase.

For detailed information about the procedural acts to be performed to enter the national phase before each designated Office, the applicable time limits and possible extensions of time or grace periods, and any other requirements, see the relevant Chapters of Volume II of the PCT Applicant's Guide. Information about the requirements for filing a demand for international preliminary examination is set out in Chapter IX of Volume I of the PCT Applicant's Guide.

GR and ES became bound by PCT Chapter II on 7 September 1996 and 6 September 1997, respectively, and may, therefore, be elected in a demand or a later election filed on or after 7 September 1996 and 6 September 1997, respectively, regardless of the filing date of the international application. (See second paragraph above.)

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

CONFIRMATION OF PRECAUTIONARY DESIGNATIONS

This notification lists only specific designations made under Rule 4.9(a) in the request. It is important to check that these designations are correct. Errors in designations can be corrected where precautionary designations have been made under Rule 4.9(b). The applicant is hereby reminded that any precautionary designations may be confirmed according to Rule 4.9(c) before the expiration of 15 months from the priority date. If it is not confirmed, it will automatically be regarded as withdrawn by the applicant. There will be no reminder and no invitation. Confirmation of a designation consists of the filing of a notice specifying the designated State concerned (with an indication of the kind of protection or treatment desired) and the payment of the designation and confirmation fees. Confirmation must reach the receiving Office within the 15-month time limit.

REQUIREMENTS REGARDING PRIORITY DOCUMENTS

For applicants who have not yet complied with the requirements regarding priority documents, the following is recalled.

Where the priority of an earlier national, regional or international application is claimed, the applicant must submit a copy of the said earlier application, certified by the authority with which it was filed ("the priority document") to the receiving Office (which will transmit it to the International Bureau) or directly to the International Bureau, before the expiration of 16 months from the priority date, provided that any such priority document may still be submitted to the International Bureau before that date of international publication of the international application, in which case that document will be considered to have been received by the International Bureau on the last day of the 16-month time limit (Rule 17.1(a)).

Where the priority document is issued by the receiving Office, the applicant may, instead of submitting the priority document, request the receiving Office to prepare and transmit the priority document to the International Bureau. Such request must be made before the expiration of the 16-month time limit and may be subjected by the receiving Office to the payment of a fee (Rule 17.1(b)).

If the priority document concerned is not submitted to the International Bureau or if the request to the receiving Office to prepare and transmit the priority document has not been made (and the corresponding fee, if any, paid) within the applicable time limit indicated under the preceding paragraphs, any designated State may disregard the priority claim, provided that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity to furnish the priority document within a time limit which is reasonable under the circumstances.

Where several priorities are claimed, the priority date to be considered for the purposes of computing the 16-month time limit is the filing date of the earliest application whose priority is claimed.

PATENT COOPERATION TREATY

PCT

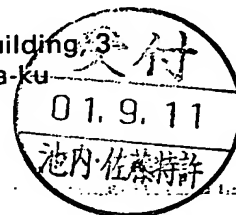
NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

IKEUCHI, Hiroyuki
Suite 401, UMEDA PLAZA Building, 3F
25, Nishitenma 4-chome, Kita-ku
Osaka-shi, Osaka 530-0047
JAPON



Date of mailing (day/month/year) 30 August 2001 (30.08.01)	
Applicant's or agent's file reference H1019-02	IMPORTANT NOTIFICATION
International application No. PCT/JP01/03474	International filing date (day/month/year) 23 April 2001 (23.04.01)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 24 April 2000 (24.04.00)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
24 Apr 2000 (24.04.00)	2000-122688	JP	06 July 2001 (06.07.01)
27 Apr 2000 (27.04.00)	2000-127445	JP	06 July 2001 (06.07.01)
12 June 2000 (12.06.00)	2000-175407	JP	06 July 2001 (06.07.01)
16 June 2000 (16.06.00)	2000-181099	JP	06 July 2001 (06.07.01)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Taieb AKREMI

Telephone No. (41-22) 338.83.38

PCT

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

IKEUCHI, Hiroyuki
Suite 401, Umeda Plaza Building, 3-
25, Nishitenma 4-chome, Kita-ku
Osaka-shi, Osaka 530-0047
JAPON

Date of mailing (day/month/year)

01 November 2001 (01.11.01)

Applicant's or agent's file reference

H1019-02

IMPORTANT NOTICE

International application No.

PCT/JP01/03474

International filing date (day/month/year)

23 April 2001 (23.04.01)

Priority date (day/month/year)

24 April 2000 (24.04.00)

Applicant

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al

1. Notice is hereby given that the International Bureau has **communicated**, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this notice:

KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

CN,EP,SG

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this notice is a copy of the international application as published by the International Bureau on 01 November 2001 (01.11.01) under No. WO 01/82274

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a **demand for international preliminary examination** must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination (at present, all PCT Contracting States are bound by Chapter II).

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the **national phase**, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and the PCT Applicant's Guide, Volume II.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Authorized officer

J. Zahra

Facsimile No. (41-22) 740.14.35

Telephone No. (41-22) 338.91.11

国際調査報告

(法 8 条、法施行規則第40、41条)
〔PCT 18条、PCT規則43、44〕

出願人又は代理人 の書類記号 H1019-02	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JPO1/03474	国際出願日 (日.月.年) 23.04.01	優先日 (日.月.年) 24.04.00
出願人 (氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (PCT 18条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (PCT規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09F9/30, H01L29/78, G02F1/133, G02F1/1368, G02F1/1343, G09G3/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09F9/30, G02F1/133, G02F1/1368, G02F1/1343

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2001年
 日本国登録実用新案公報 1994-2001年
 日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P 11-183932 A (株式会社東芝), 9. 7月. 1 999 (09. 07. 99) (ファミリーなし)	11, 66, 76 1-10, 12-65, 67-75, 77-83 1-83
A	J P 11-109369 A (株式会社東芝), 23. 4月. 1999 (23. 04. 99) (ファミリーなし)	1-83
A	J P 7-168208 A (シチズン時計株式会社), 4. 7 月. 1995 (04. 07. 95) (ファミリーなし)	1-83
A	J P 10-268357 A (東芝電子エンジニアリング株式 会社), 9. 10月. 1998 (09. 10. 98) (ファミリ ーなし)	1-83

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

24. 07. 01

国際調査報告の発送日

81.07.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柿崎 拓

3 X

9 2 3 5

電話番号 03-3581-1101 内線 3371

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2000-2889 A (三菱電機株式会社), 7. 1 月. 2000 (07. 01. 00) (ファミリーなし)	1-83
A	J P 11-352464 A (日本テキサス・インスツルメン ツ株式会社), 24. 12月. 1999 (24. 12. 99) (ファミリーなし)	1-83

PCT REQUEST

H1019-02

Draft (NOT for submission) - printed on 14.12.2001 05:19:19 PM

0	For receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using	PCT-EASY Version 2.92 (updated 01.03.2001)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japan Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	H1019-02
I	Title of Invention	DISPLAY APPARATUS AND METHOD FOR DRIVING THE SAME
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
II-5	Address:	1006-banchi, Oaza-Kadoma, Kadoma-shi, Osaka 571-8501 Japan
II-6	State of nationality	JP
II-7	State of residence	JP
II-8	Telephone No.	+81-6-6908-1473
II-9	Facsimile No.	+81-6-6906-1643
III-1	Applicant and/or Inventor	
III-1-1	This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	KUMAGAWA, Katsuhiko
III-1-5	Address:	9-14-302, Midorimachi, Neyagawa-shi, Osaka 572-0022 Japan
III-1-6	State of nationality	JP
III-1-7	State of residence	JP

PCT REQUEST

2/6

H1019-02

Draft (NOT for submission) - printed on 14.12.2001 05:19:19 PM

III-2	Applicant and/or Inventor	
III-2-1	This person is:	applicant and inventor
III-2-2	Applicant for	US only
III-2-4	Name (LAST, First)	KIMURA, Masanori
III-2-5	Address:	19-401, Shinmachi, Daitou-shi, Osaka 574-0037 Japan
III-2-6	State of nationality	JP
III-2-7	State of residence	JP
III-3	Applicant and/or Inventor	
III-3-1	This person is:	applicant and inventor
III-3-2	Applicant for	US only
III-3-4	Name (LAST, First)	FUKAMI, Tetsuo
III-3-5	Address:	3-14, Miyukihigashimachi, Neyagawa-shi, Osaka 572-0055 Japan
III-3-6	State of nationality	JP
III-3-7	State of residence	JP
III-4	Applicant and/or Inventor	
III-4-1	This person is:	applicant and inventor
III-4-2	Applicant for	US only
III-4-4	Name (LAST, First)	TAKIMOTO, Akio
III-4-5	Address:	4-1, Kunimatsucho, Neyagawa-shi, Osaka 572-0016 Japan
III-4-6	State of nationality	JP
III-4-7	State of residence	JP
III-5	Applicant and/or Inventor	
III-5-1	This person is:	applicant and inventor
III-5-2	Applicant for	US only
III-5-4	Name (LAST, First)	TANAKA, Yukio
III-5-5	Address:	A-104, 19, Misasagitayamacho, Yamashina-ku, Kyoto-shi, Kyoto 607-8405 Japan
III-5-6	State of nationality	JP
III-5-7	State of residence	JP

PCT REQUEST

H1019-02

Draft (NOT for submission) - printed on 14.12.2001 05:19:19 PM

III-6	Applicant and/or Inventor	
III-6-1	This person is:	applicant and inventor
III-6-2	Applicant for	US only
III-6-4	Name (LAST, First)	KOMORI, Kazunori
III-6-5	Address:	4-6-4-1007, Suzukakedai, Sanda-shi, Hyogo 669-1322 Japan
III-6-6	State of nationality	JP
III-6-7	State of residence	JP
IV-1	Agent or common representative; or address for correspondence	
	The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent
IV-1-1	Name (LAST, First)	IKEUCHI, Hiroyuki
IV-1-2	Address:	Suite 401, UMEDA PLAZA Building, 3-25, Nishitenma 4-chome, Kita-ku, Osaka-shi, Osaka 530-0047 Japan
IV-1-3	Telephone No.	+81-6-6361-9334
IV-1-4	Facsimile No.	+81-6-6361-9335
IV-2	Additional agent(s)	
IV-2-1	Name(s)	additional agent(s) with same address as first named agent SATO, Kimihiro; KAMADA, Koichi; TORAOKA, Keiji; TSUJIMARU, Koichiro; KURODA, Shigeru
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE TR and any other State which is a Contracting State of the European Patent Convention and of the PCT
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	CN KR SG US

PCT REQUEST

H1019-02

Draft (NOT for submission) - printed on 14.12.2001 05:19:19 PM

V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.	
V-6	Exclusion(s) from precautionary designations	NONE
VI-1	Priority claim of earlier national application	
VI-1-1	Filing date	24 April 2000 (24.04.2000)
VI-1-2	Number	Patent Application 2000-122688
VI-1-3	Country	JP
VI-2	Priority claim of earlier national application	
VI-2-1	Filing date	27 April 2000 (27.04.2000)
VI-2-2	Number	Patent Application 2000-127445
VI-2-3	Country	JP
VI-3	Priority claim of earlier national application	
VI-3-1	Filing date	12 June 2000 (12.06.2000)
VI-3-2	Number	Patent Application 2000-175407
VI-3-3	Country	JP
VI-4	Priority claim of earlier national application	
VI-4-1	Filing date	16 June 2000 (16.06.2000)
VI-4-2	Number	Patent Application 2000-181099
VI-4-3	Country	JP
VII-1	International Searching Authority Chosen	Japan Patent Office (JPO) (ISA/JP)
VIII	Declarations	Number of declarations
VIII-1	Declaration as to the identity of the inventor	-
VIII-2	Declaration as to the applicant's entitlement, as at the international filing date, to apply for and be granted a patent	-
VIII-3	Declaration as to the applicant's entitlement, as at the international filing date, to claim the priority of the earlier application	-
VIII-4	Declaration of inventorship (only for the purposes of the designation of the United States of America)	-
VIII-5	Declaration as to non-prejudicial disclosures or exceptions to lack of novelty	-

PCT REQUEST

H1019-02

Draft (NOT for submission) - printed on 14.12.2001 05:19:19 PM

IX	Check list	number of sheets	electronic file(s) attached
IX-1	Request (including declaration sheets)	6	-
IX-2	Description	84	-
IX-3	Claims	24	-
IX-4	Abstract	1	h1019-02abstract.txt
IX-5	Drawings	44	-
IX-7	TOTAL	159	
	Accompanying Items	paper document(s) attached	electronic file(s) attached
IX-8	Fee calculation sheet	✓	-
IX-9	Original separate power of attorney	✓	-
IX-11	Copy of general power of attorney	✓	-
IX-17	PCT-EASY diskette	-	Diskette
IX-19	Figure of the drawings which should accompany the abstract	1	
IX-20	Language of filing of the International application	Japanese	
X-1	Signature of applicant, agent or common representative		
X-1-1	Name (LAST, First)	IKEUCHI, Hiroyuki	
X-2	Signature of applicant, agent or common representative		
X-2-1	Name (LAST, First)	SATO, Kimihiro	
X-3	Signature of applicant, agent or common representative		
X-3-1	Name (LAST, First)	KAMADA, Koichi	
X-4	Signature of applicant, agent or common representative		
X-4-1	Name (LAST, First)	TORAOKA, Keiji	
X-5	Signature of applicant, agent or common representative		
X-5-1	Name (LAST, First)	TSUJIMARU, Koichiro	
X-6	Signature of applicant, agent or common representative		
X-6-1	Name (LAST, First)	KURODA, Shigeru	

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported International application	
------	---	--

PCT REQUEST

H1019-02

Draft (NOT for submission) - printed on 14.12.2001 05:19:19 PM

10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

特許協力条約に基づく国際出願願書

H1019-02

原本(出願用) - 印刷日時 2001年04月20日 (20.04.2001) 金曜日 17時16分57秒

0	受理官庁記入欄	
0-1	国際出願番号.	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/R0/101 この特許協力条約に基づく国際出願願書は、 0-4-1 右記によって作成された。	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記号	H1019-02
I	発明の名称	表示装置およびその駆動方法
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	松下電器産業株式会社
II-4en	Name	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
II-5ja	あて名:	571-8501 日本国 大阪府 門真市 大字門真1006番地
II-5en	Address:	1006-banchi, Oaza-Kadoma, Kadoma-shi, Osaka 571-8501 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	+81-6-6908-1473
II-9	ファクシミリ番号	+81-6-6906-1643
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja	氏名 (姓名)	熊川 克彦
III-1-4en	Name (LAST, First)	KUMAGAWA, Katsuhiko
III-1-5ja	あて名:	572-0022 日本国 大阪府 寝屋川市 緑町9-14-302
III-1-5en	Address:	9-14-302, Midorimachi, Neyagawa-shi, Osaka 572-0022 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

III-2 III-2-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-2-2	右の指定国についての出願人である。	米国のみ (US only)
III-2-4ja	氏名(姓名)	木村 雅典
III-2-4en	Name (LAST, First)	KIMURA, Masanori
III-2-5ja	あて名:	574-0037 日本国 大阪府 大東市 新町19-401
III-2-5en	Address:	19-401, Shinmachi, Daitou-shi, Osaka 574-0037 Japan
III-2-6	国籍 (国名)	日本国 JP
III-2-7	住所 (国名)	日本国 JP
III-3 III-3-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-3-2	右の指定国についての出願人である。	米国のみ (US only)
III-3-4ja	氏名(姓名)	深海 徹夫
III-3-4en	Name (LAST, First)	FUKAMI, Tetsuo
III-3-5ja	あて名:	572-0055 日本国 大阪府 寝屋川市 御幸東町3-14
III-3-5en	Address:	3-14, Miyukihigashimachi, Neyagawa-shi, Osaka 572-0055 Japan
III-3-6	国籍 (国名)	日本国 JP
III-3-7	住所 (国名)	日本国 JP
III-4 III-4-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-4-2	右の指定国についての出願人である。	米国のみ (US only)
III-4-4ja	氏名(姓名)	滝本 昭雄
III-4-4en	Name (LAST, First)	TAKIMOTO, Akio
III-4-5ja	あて名:	572-0016 日本国 大阪府 寝屋川市 国松町4-1
III-4-5en	Address:	4-1, Kunitatsucho, Neyagawa-shi, Osaka 572-0016 Japan
III-4-6	国籍 (国名)	日本国 JP
III-4-7	住所 (国名)	日本国 JP

III-5 III-5-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-5-2	右の指定国についての出願人である。	
III-5-4ja	氏名(姓名)	田中 幸生
III-5-4en	Name (LAST, First)	TANAKA, Yukio
III-5-5ja	あて名:	607-8405 日本国 京都府 京都市 山科区御陵田山町19 A-104
III-5-5en	Address:	A-104, 19, Misasagitayamacho, Yamashina-ku, Kyoto-shi, Kyoto 607-8405 Japan
III-5-6	国籍 (国名)	日本国 JP
III-5-7	住所 (国名)	日本国 JP
III-6 III-6-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-6-2	右の指定国についての出願人である。	
III-6-4ja	氏名(姓名)	小森 一徳
III-6-4en	Name (LAST, First)	KOMORI, Kazunori
III-6-5ja	あて名:	669-1322 日本国 兵庫県 三田市 すずかけ台4-6-4-1007
III-6-5en	Address:	4-6-4-1007, Suzukakedai, Sanda-shi, Hyogo 669-1322 Japan
III-6-6	国籍 (国名)	日本国 JP
III-6-7	住所 (国名)	日本国 JP
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja	氏名(姓名)	池内 寛幸
IV-1-1en	Name (LAST, First)	IKEUCHI, Hiroyuki
IV-1-2ja	あて名:	530-0047 日本国 大阪府 大阪市 北区西天満4丁目3番25号梅田プラザビル401号室
IV-1-2en	Address:	Suite 401, UMEDA PLAZA Building, 3-25, Nishitenma 4-chome, Kita-ku, Osaka-shi, Osaka 530-0047 Japan
IV-1-3	電話番号	+81-6-6361-9334
IV-1-4	ファクシミリ番号	+81-6-6361-9335
IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with same address as first named agent)
IV-2-1ja	氏名	佐藤 公博; 鎌田 耕一; 席丘 圭司; 辻丸 光一郎; 黒田 茂
IV-2-1en	Name(s)	SATO, Kimihiro; KAMADA, Koichi; TORAOKA, Keiji; TSUJIMARU, Koichiro; KURODA, Shigeru

特許協力条約に基づく国際出願願書

H1019-02

原本（出願用） - 印刷日時 2001年04月20日（20.04.2001）金曜日 17時16分57秒

V	国の指定		
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE TR 及びヨーロッパ特許条約と特許協力条約の締約国である他の国	
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	CN KR SG US	
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI-1	先の国内出願に基づく優先権主張		
VI-1-1	先の出願日	2000年04月24日 (24.04.2000)	
VI-1-2	先の出願番号	特願2000-122688	
VI-1-3	国名	日本国 JP	
VI-2	先の国内出願に基づく優先権主張		
VI-2-1	先の出願日	2000年04月27日 (27.04.2000)	
VI-2-2	先の出願番号	特願2000-127445	
VI-2-3	国名	日本国 JP	
VI-3	先の国内出願に基づく優先権主張		
VI-3-1	先の出願日	2000年06月12日 (12.06.2000)	
VI-3-2	先の出願番号	特願2000-175407	
VI-3-3	国名	日本国 JP	
VI-4	先の国内出願に基づく優先権主張		
VI-4-1	先の出願日	2000年06月16日 (16.06.2000)	
VI-4-2	先の出願番号	特願2000-181099	
VI-4-3	国名	日本国 JP	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	6	-
VIII-2	明細書	84	-
VIII-3	請求の範囲	24	-
VIII-4	要約	1	h1019-02abstract.txt
VIII-5	図面	44	-
VIII-7	合計	159	

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2001年04月20日（20.04.2001）金曜日 17時16分57秒

	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-9	別個の記名押印された委任状	✓	-
VIII-10	包括委任状の写し	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-18	要約書とともに提示する図の番号	1	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)	池内 寛幸	
IX-2	提出者の記名押印		
IX-2-1	氏名(姓名)	佐藤 公博	
IX-3	提出者の記名押印		
IX-3-1	氏名(姓名)	鎌田 耕一	
IX-4	提出者の記名押印		
IX-4-1	氏名(姓名)	席丘 圭司	
IX-5	提出者の記名押印		
IX-5-1	氏名(姓名)	辻丸 光一郎	
IX-6	提出者の記名押印		
IX-6-1	氏名(姓名)	黒田 茂	

受理官庁記入欄

T0-1	国際出願として提出された書類の実際の受理の日	
T0-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
T0-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日(訂正日)	
T0-4	特許協力条約第II条(2)に基づく必要な補完の期間内の受理の日	
T0-5	出願人により特定された国際調査機関	ISA/JP
T0-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

特許協力条約に基づく国際出願願書

H1019-02

原本（出願用） - 印刷日時 2001年04月20日（20.04.2001）金曜日 17時16分57秒

国際事務局記入欄

II-I	記録原本の受理の日	
------	-----------	--

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 11 月 1 日 (01.11.2001)

PCT

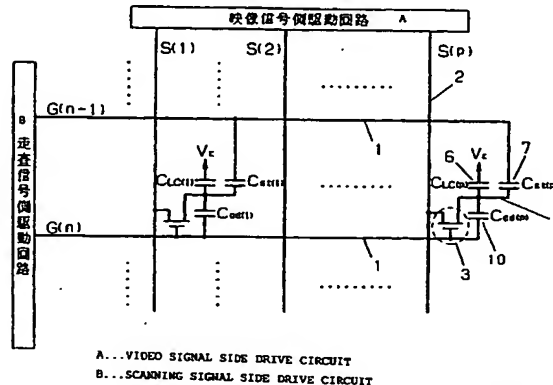
(10) 国際公開番号
WO 01/82274 A1

- (51) 国際特許分類: G09F 9/30, H01L 29/78, G02F 1/133, 1/1368, 1/1343, G09G 3/36
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 熊川克彦 (KUMAGAWA, Katsuhiko) [JP/JP]; 〒572-0022 大阪府寝屋川市緑町9-14-302 Osaka (JP). 木村雅典 (KIMURA, Masanori) [JP/JP]; 〒574-0037 大阪府大東市新町19-401 Osaka (JP). 深海徹夫 (FUKAMI, Tetsuo) [JP/JP]; 〒572-0055 大阪府寝屋川市御幸東町3-14 Osaka (JP). 滝本昭雄 (TAKIMOTO, Akio) [JP/JP]; 〒572-0016 大阪府寝屋川市国松町4-1 Osaka (JP). 田中幸生 (TANAKA, Yukio) [JP/JP]; 〒607-8405 京都府京都市山科区御陵田山町19 A-104 Kyoto (JP). 小森一徳 (KOMORI, Kazunori) [JP/JP]; 〒669-1322 兵庫県三田市すずかけ台4-6-4-1007 Hyogo (JP).
- (21) 国際出願番号: PCT/JP01/03474
- (22) 国際出願日: 2001 年 4 月 23 日 (23.04.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2000-122688 2000 年 4 月 24 日 (24.04.2000) JP
特願2000-127445 2000 年 4 月 27 日 (27.04.2000) JP
特願2000-175407 2000 年 6 月 12 日 (12.06.2000) JP
特願2000-181099 2000 年 6 月 16 日 (16.06.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (74) 代理人: 池内寛幸, 外(IKEUCHI, Hiroyuki et al.); 〒530-0047 大阪府大阪市北区西天満4丁目3番25号 梅田プラザビル401号室 Osaka (JP).
- (81) 指定国 (国内): CN, KR, SG, US.

[続葉有]

(54) Title: DISPLAY UNIT AND DRIVE METHOD THEREFOR

(54) 発明の名称: 表示装置およびその駆動方法



(57) Abstract: A crystal display unit for performing a capacity coupling drive, wherein voltage irregularities and display irregularities due to a larger size and a higher resolution are eliminated. A display unit comprising a plurality of pixel electrodes (5) disposed in a matrix form, switching elements (3) connected to the electrodes, scanning electrodes (1), video signal electrodes (2), and counter electrodes for forming a capacitance between them and pixel electrodes (5), wherein a storage capacity (7) is provided between pixel electrodes (5) and scanning electrodes excluding that in the current stage, at least two capacity components including at least a capacity (4) between switching elements' gates and drains and the storage capacity (7) and connected to pixel electrodes (5) have different values according to the distances from the feed ends of the scanning electrodes (1), and capacity components at respective pixels are set so that a first capacity ratio $\alpha_{gd} = C_{gd}/C_{tot}$ increases continuously or step-wise according to the distances from the feed ends of scanning electrodes (1) and a second capacity ratio $\alpha_{st} = C_{st}/C_{tot}$ is about constant, where a total capacity connected to pixel electrodes (5) at one pixel is C_{tot} .

[続葉有]

WO 01/82274 A1



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

容量結合駆動を行う液晶表示装置において、大型化・高解像度化にともなう電圧むら・表示むらを解消する。

マトリクス状に配置された複数の画素電極5と、これに接続されたスイッチング素子3と、走査電極1と、映像信号電極2と、画素電極5との間に容量を形成する対向電極とを備えた表示装置において、画素電極5と走査電極1のうち当段の走査電極1を除くものとの間に蓄積容量7を備え、スイッチング素子3のゲート・ドレイン間容量4および蓄積容量7のうち少なくとも一方を含む、画素電極5に接続された2つ以上の容量成分が、走査電極1の給電端からの距離に応じて異なった値を有しており、1つの画素において画素電極5に接続される全容量を C_{tot} とした場合に、第1の容量比 $\alpha_{gd} = C_{gd} / C_{tot}$ を、走査電極1の給電端からの距離に応じて連続的にまたは段階的に増加させたり、第2の容量比 $\alpha_{st} = C_{st} / C_{tot}$ が略一定になるように各画素における容量成分を設定する。

明 細 書

表示装置およびその駆動方法

技術分野

本発明は、薄膜トランジスタなどのスイッチング素子を用いたアクティブマトリクス型の表示装置に関するものである。

背景技術

液晶表示装置は、薄型軽量のフラットディスプレイとして、各種電子機器の表示装置に広く用いられている。なかでも、薄膜トランジスタなどのスイッチング素子を用いたアクティブマトリクス型の液晶表示装置はその優れた画像特性により、パーソナルコンピュータ用のモニターディスプレイや、液晶テレビなどへの応用がさかんである。

このアクティブマトリクス型液晶表示装置の1つの駆動方法として、特開平 2-913 号公報やエーエム・エルシーディー 95 (AM-LCD95) の 59 ~62 ページに開示された容量結合駆動法がある。これは蓄積容量と画素容量の間の容量結合を通じて、画素電極電位に重畳電圧を加えるものである。通常、蓄積容量は画素電極と前段または後段の走査電極（ゲート電極、あるいはゲート線ともいう）との間に形成され、前段または後段の走査電圧（ゲート電圧）をステップ状に変化させることで重畳電圧を与えている。この電圧重畳の効果により、映像信号電圧（ソース電圧）の低電圧化、駆動電力の低減、応答速度の向上、駆動信頼性の向上などの効果を得ている。

図 3 4 は前段走査電極と画素電極の間に蓄積容量 C_{st} を形成した液晶表示装置の 1 画素の等価回路を示すものであり、図 3 5 はこれを駆動

した場合の各部の電位を説明するためのものである。図34において、TFTは薄膜トランジスタ(Thin Film Transistor)、Cgdはゲート・ド
レイン間容量、C1cは画素電極-共通電極間容量(主に液晶によって
5 形成される容量であるが、それ以外の媒質が電氣的に直列あるいは並列
に付加されることにより生じる容量成分もある。あるいは意図的にこの
ような容量を付加することもある。)であり、 $Vg(n-1)$ は前段走査電極の
電位、 $Vg(n)$ は当段走査電極の電位、 Vs または $Vsig$ は映像信号電位、 Vd
は画素電極電位、 Vc または $Vcom$ は共通電極の電位を示している。

図35を用いて画素電極電位 Vd の変化を説明する。図35は、奇数
10 フレーム、偶数フレームとも、前段と当段のみの走査電極電位の変化を
模式的に示している。上側が前段 $Vg(n-1)$ 、下側が当段 $Vg(n)$ の走査電
極電位の変化である。図中、 Vc が共通電極電位、 Vd が画素電極電位、 $Vsig$
が映像信号電圧、 $Vgoff$ が走査電極電位オフレベル、 $Vgon$ が走査電極電
位オンレベル、 $Vge(+)$ および $Vge(-)$ が補償電圧である。

15 容量結合駆動法を用いる構成の場合、当段の走査電極電位 $Vg(n)$ の
変化を見ると、まず、当段の走査電極電位 $Vg(n)$ がオンレベル $Vgon$ にな
る。次に、当段の走査電極電位 $Vg(n)$ をオフとし、かつ、前段または後
段の偶数フレームの画素電極電位 Vd に重畳電圧を加えるため、補償電
位 $Vge(-)$ のレベルとなる。この補償電位 $Vge(-)$ 印加期間後、当段の走
20 査電極電位 $Vg(n)$ のオフレベル $Vgoff$ となる。なお、補償電位 $Vge(-)$ 印
加期間内において、当段と容量結合する前段の偶数フレームの走査電極
電位 $Vg(n-1)$ は、 $Vge(+)$ から $Vgoff$ に変化している。

奇数フレーム当段の画素電極電位 Vd の変化を説明する。まず、当段
の走査電極電位 $Vg(n)$ がオンレベル $Vgon$ になると、TFTが導通状態(ON
25 状態)となり、画素電極電位 Vd が $Vsig(-)$ に充電される。なお、奇数
フレームでは映像信号電圧 $Vsig$ は負の値を取り、 $Vsig(-)$ である。

次に、当段の走査電極電位 $V_g(n)$ が補償電位 $V_{ge}(-)$ となり、TFT はオフレベルとなり、非導通状態になる。この走査電極電位 $V_g(n)$ がオフになる瞬間、TFT に形成された容量と画素内のトータル容量との容量結合により画素電圧が ΔV_1 の電圧降下を起こす。この降下電圧 ΔV

5 ΔV_1 は突き抜け電圧と呼ばれ、以下の式 (数 1) で表される。

(数 1)

$$\Delta V_1 = \alpha_{gd} \cdot \Delta V_{gl}$$

ここで、 ΔV_{gl} は (数 2) に示す走査電極電位 $V_g(n)$ の変化、 α_{gd} は (数 3) に示す容量比であり、 C_{gd} はゲート・ドレイン電極間容量、

10 C_{lc} は液晶容量、 C_{st} は蓄積容量である。

(数 2)

$$\Delta V_{gl} = V_{gon} - V_{ge}(-)$$

(数 3)

$$\alpha_{gd} = C_{gd} / (C_{st} + C_{gd} + C_{lc})$$

15 次に、前段の偶数フレームの走査電極電位が $V_{ge}(+)$ から V_{goff} となるが、当段の画素電極と前段の走査電極間は蓄積容量 C_{st} で容量結合しているため、画素電極電位 V_d には、この電圧差に比例した結合電圧 ΔV_2 が下向きに重畳される。この重畳電圧 ΔV_2 は、以下の式 (数 4) で表わされる。

20 (数 4)

$$\Delta V_2 = \alpha_{st} \cdot \Delta V_{ge}(+)$$

なお、本明細書において、 $\Delta V_{ge}(+)$ は (数 5) に示す前段の走査電極電位 $V_g(n-1)$ の変化、 α_{st} は (数 6) に示す容量比を示すものとする。

(数 5)

25 $\Delta V_{ge}(+) = V_{ge}(+) - V_{goff}$

(数 6)

$$\alpha_{st} = C_{st} / (C_{st} + C_{gd} + C_{lc})$$

次に、当段の走査電極電位 $V_g(n)$ が補償電位 $V_{ge}(-)$ から V_{goff} になる。この瞬間にも、TFTに形成された容量と画素内のトータル容量との容量結合により画素電圧が ΔV_3 の電圧変化を起こす。この変化電圧

5 ΔV_3 は、以下の式(数7)で表わされる。

(数7)

$$\Delta V_3 = \alpha_{gd} \cdot \Delta V_{ge}(-)$$

なお、本明細書において、 $\Delta V_{ge}(-)$ は(数8)に示す当段の走査電極電位 $V_g(n)$ の変化、 α_{gd} は(数3)に示した容量比を示すものとする。

10 (数8)

$$\Delta V_{ge}(-) = V_{ge}(-) - V_{goff}$$

以上の電圧変化により画素電極電位 V_d は、(数9)に示す $V_{do}(-)$ となり、次の走査駆動まで $V_{do}(-)$ を維持する。

(数9)

$$15 \quad V_{do}(-) = V_{sig}(-) - \Delta V_1 - \Delta V_2 - \Delta V_3$$

$$= V_{sig}(-) - \alpha_{gd} \cdot \Delta V_{g1} - \alpha_{st} \cdot \Delta V_{ge}(+) - \alpha_{gd} \cdot \Delta V_{ge}(-)$$

偶数フレームについても同様に解析することができ、(数10)に示す $V_{do}(+)$ となり、次の走査駆動まで $V_{do}(+)$ を維持する。なお、偶数フレームにおいては、映像信号電圧 V_{sig} は正の値をとり、 $V_{sig}(+)$ であり、

20 画素電極電位 V_d を $V_{sig}(+)$ に充電した後、当段には $V_{ge}(+)$ の補償電位が加わり、前段の奇数フレームの走査電極には負の補償電位 $V_{ge}(-)$ が重畳されている。

(数10)

$$V_{do}(+) = V_{sig}(+) - \alpha_{gd} \cdot \Delta V_{g2} - \alpha_{st} \cdot \Delta V_{ge}(-) - \alpha_{gd} \cdot \Delta V_{ge}(+)$$

25 但し、 $\Delta V_{g2} = V_{gon} - V_{ge}(+)$

この結果、映像信号電極には小さな振幅 ($V_{sig}(+)$ と $V_{sig}(-)$) の電

圧を与えながら、画素電極にはこれより大きな振幅 ($V_{do}(+)$ と $V_{do}(-)$) の電圧を印加することができる。例えば、出力電圧幅 5 ボルトの映像信号用 IC を用いて、液晶に印加する電圧幅を 10 ボルトや 15 ボルトに拡大でき、低耐圧 IC を用いながら、その耐圧以上の電圧で液晶を駆動することが可能になる。

なお、上記説明では、 ΔV_1 を突き抜け電圧としたが、 C_{gd} による容量結合のため、当段の走査電極電圧 V_g のトータルの変化に伴って生じる電位変動分をまとめて突き抜け電圧と呼ぶこともある。この場合は、上記の ΔV_1 と ΔV_3 の変化を併せたものと言える。この場合の突き抜け電圧を ΔV_a とすると (数 11) のように表わせる。

(数 11)

$$\Delta V_a = \alpha_{gd} \cdot \Delta V_{gon}$$

なお、本明細書において、 ΔV_{gon} は、 $\Delta V_{gon} = (V_{gon} - V_{goff})$ を示すものとする。

以上が、従来技術における容量結合駆動法によるアクティブマトリクス型液晶表示装置の構造および駆動の概略である。

次に、容量結合駆動で水平クロストークを低減するために用いられる信号電圧の極性反転駆動の方式について説明する。

図 35 でも述べたように、画素電極には 1 フレーム毎に極性の反転した信号電圧が充電される。このときに、画面全体を同極性として 1 フレーム毎に反転させてもよいが (フィールド反転方式)、その他にも 1 行毎に逆極性にして反転させる方式 (ライン反転方式)、1 列毎に逆極性にして反転させる方式 (カラム反転方式)、およびライン反転方式とカラム反転方式を組み合わせる市松模様パターンで反転させる方式 (ドット反転方式) などがある。これら各方式での画素の充電パターンを描くと、それぞれ図 36 (a)、図 36 (b)、図 36 (c)、および図 36 (d) のよ

うになる。そして、それぞれについて隣接する映像信号電極 VSP および VSQ に印加される電圧波形を描くと各図の右側の波形のようになる。フィールド反転方式とカラム反転方式の場合は 1 フレーム内で映像信号電極に印加される映像信号の極性は一定であるが、ライン反転方式とドット反転方式の場合は各走査電極が選択される毎に映像信号の極性が反転される。また、フィールド反転方式とライン反転方式の場合は隣接する映像信号電極間での極性は同じであるが、カラム反転方式とドット反転方式の場合は逆の極性になる。

これらの各方式のうち、フィールド反転方式とライン反転方式においては水平クロストークが発生しやすいことが S. トミタ 他 ジャーナル・オブ・ズィ・エス・アイ・ディー 1/2 (1993 年) の第 211 頁から第 218 頁 (S.Tomita et.al.: Journal of the SID, 1/2 (1993) pp211-218) に詳しく説明されている。これを以下に要約する。

フィールド反転方式とライン反転方式においては、ある走査電極を選択して画素の充電を行うときにすべての画素が同極性で充電される。すなわち、当該行の画素電極電位 V_d は、偶数フィールドの場合には負電圧から正電圧へ、奇数フィールドの場合は正電圧から負電圧へと一斉に変化する。すると、画素電極-共通電極間の容量(液晶容量も含まれる)を介して共通電極の電位が変動してしまい(共通電極は有限のシート抵抗を有しているのでたとえ画面端部で電位を固定しても画面内部では電位が僅かに変動する)、画素に充電される電位もその影響を受けて変動し、クロストークが発生してしまう。これは、共通電極電位の変動のため V_c が走査パルス印加前後で異なった値となり、画素電極の保持電位 $V_{d0}(\pm)$ が(数 9)や(数 10)で表わした値にならないために生じるクロストークであるともいえる。

これに対してカラム反転方式とドット反転方式の場合は、ある行の走

走査電極が選択されて画素が充電されるときに、隣接する画素間での充電の極性が逆であるので、画素電極-共通電極間容量を介した共通電極の電位変動は互いに相殺しあって、上述のようなクロストークは発生しない。

- 5 以上の理由から、カラム反転方式またはドット反転方式が採用されることがある。

ところが、図34の回路をマトリクス状に配列して図37のようなアレイを構成したときにはカラム反転方式あるいはドット反転方式を採用するのは困難である。なぜならば、カラム反転方式またはドット反転方式の場合には、図37において例えば走査電極 G1 が選択されてこの走査電極に属する画素（走査電極 G0 と G1 の間の画素）の充電を行うときに隣接画素間で逆極性に充電されるが、走査電極 G0 から与えられる重畳電圧はこの行の画素すべてにわたって同じ極性であるため、すべての画素に対して画素電極保持電位の振幅増大効果が得られないからである。

- 15 以上の問題を解決するための画素回路構成として図38がある。これは、第4回インターナショナル・ディスプレイ・ワークショップのプロシーディングス第195頁から198頁で述べられている構成である。1列毎に画素のレイアウトを上下反転させているのが特徴である。本方式の場合、図38において走査電極 G1 を選択したときに○で囲んだ画素が充電されるが、隣接画素間で蓄積容量の接続先の走査電極が異なっているので（走査電極 G0 および G2）、走査電極 G0 と G2 を異なる補償電位にしておけばそれぞれの画素で異なった重畳電圧を与えることができる。従って、カラム反転方式またはドット反転方式を行って例えば映像信号電極 S1（あるいは S_n）には正極性の信号、S2（あるいは S_{n+1}）には負極性の信号を印加する
20
25 場合、走査電極 G0 に V_{ge}(-)、走査電極 G2 は V_{ge}(+) という補償電圧を印加しておけば両方の画素において書き込んだ映像信号と同極性の

重畳電圧を加えることができ、振幅増大効果が得られる。

ドット反転方式の場合を例にとり、具体的な走査電極信号駆動波形を図39に示す。奇数フレームにおいて、走査電極 G1 が選択されるとき（図中の(B)で示した期間）、映像信号電極 S1 が正極性で、S2 が負極性であるとする、上述のように G0 を $V_{ge}(-)$ に、G2 を $V_{ge}(+)$ にすればよい。偶数フレームにおいて走査電極 G1 が選択されるとき（図中(B)の期間）には逆に映像信号電極 S1 が負極性で、S2 が正極性であるので、G0 を $V_{ge}(+)$ に、G2 を $V_{ge}(-)$ にすればよい。(A)や(D)で示した期間は(B)あるいは(E)の1走査期間（図中の破線の間隔を1走査期間と呼ぶ）前であり、走査電極 G0 が選択されて走査電極 G1 が補償電位になるが（G0より1行上（図示せず）も補償電位になる）、ここでも同様に考えればG1の電位を $V_e(+)$ 、あるいは $V_e(-)$ に設定できる。(C)や(F)の期間については、走査電極 G2 が選択されて走査電極 G1 が補償電位になるが（G2より1行下（図示せず）も補償電位になる）、ここでも同じでありG1の電位を $V_e(+)$ または $V_e(-)$ に設定できる。このようにして、走査電極に印加すべき電圧波形として図中の G0、G1、および G2 の波形が得られる。

以上はドット反転方式について述べたが、カラム反転方式の場合も同様にして考えることができる。

図38の構造と図39の駆動を採用することにより、映像信号電極側駆動回路の低耐圧化が可能であるという容量結合の長所と、横クロストークが低減できるというカラム反転方式／ドット反転方式の長所を同時に活かすことができ、低コストと高画質を両立させることができる。

以上が、信号電圧の極性反転駆動の方式についての説明である。

上記に説明した従来技術には以下に示す課題があった。

液晶表示装置の大型化や高解像度化に伴って、表示むらが問題となっている。

第1の表示むらの原因は、走査線のCR時定数により生ずる走査電圧波形の歪に起因し、画素位置によって画素電極電位の充電が不十分となることによるものである。走査電圧の給電端と配線の終端では波形歪の量が異なるので画素電圧に差が生じ、この差が表示むらとして見える。

- 5 画面が大型化して配線抵抗や配線容量が大きくなった場合や、高解像度化のため1走査線当たりの走査時間が短くなった場合、この表示むらはより顕著になり、これが大型化・高精細化の課題となっている。

- 図40は、走査線のCR時定数により生ずる走査電圧波形の歪に起因して充電が不十分となって表示むらが発生する原理を簡単に説明する図である。左側は上から順に、給電端画素に接続されたTFTの信号電位 V_s 、走査電極電位 V_g 、および画素電極電位 V_d であり、右側は終端画素に接続されたTFTの信号電位 V_s 、走査電極電位 V_g 、および画素電極電位 V_d を表わしている。
- 10

- 図40の1段目に示すように、各画素の信号電極にはそれぞれの映像信号電極を介して同一の信号電位 V_s が与えられている。
- 15

- 給電端の画素においては、左図の2段目と3段目に示すように、ゲート電位がオンレベル ($V_g(ON)$) になるとTFTがオン状態になり、画素電極電位 V_d が信号電位 V_s に向かって充電される。次に、走査電圧がオフレベル ($V_g(OFF)$) になる時、この電位立下りの影響により、容量分
- 20 配比に応じて画素電極電位 V_d は(数11)に示す突き抜け電位分 ΔV_a だけ低下する。

- 走査電圧波形は、走査配線時定数の影響により終端に向かうにつれて徐々に歪んでいく。歪量が大きい場合、図40右の2段目に示すように終端画素の走査電圧波形は歪んで $V_g(ON)$ に到達しない。この結果、3
- 25 段目に示すように、画素充電が不十分になって画素電極電位 V_d が V_s に到達しなくなる。また、走査電圧波形の立下り電圧幅が給電端より小さ

いので、容量結合による画素電極電位 V_d の低下量 (ΔV_b) は給電端 (ΔV_a) より小さくなる。このように、走査線の CR 時定数により生ずる走査電圧波形の歪に起因して表示むらが生じる。

第 2 の表示むらの原因は、走査電圧波形の歪みによるトランジスタス
5 イッチングタイミングのずれによる再充電現象である。薄膜トランジスタを用いた液晶表示装置で走査電圧に歪が生じると、画素電極電位 V_d が信号電位 V_s となるまで完全に充電が行われた場合でも、次の理由で再充電現象が起こり、画素位置によって画素電極電圧 V_d に不均一が生じてしまう。図 4 1 はこれを簡単に説明する図である。

10 画面全体に同一の表示を行なう場合、第 1 段に示すように、映像信号線から供給される信号電位 V_s は画素位置によらず一定である。走査電極から供給される走査電圧波形は、第 2 段に示すように、給電端では矩形波であるが、CR 時定数の影響により終端では歪んでいる。

次に、走査電極 V_g がオン状態となり、画素電極電位 V_d は第 3 段に示
15 すように、信号電位 V_s にまで充電されたとする。

次に、走査電圧が V_{gon} から V_{goff} へ移行するときに注目する。走査信号駆動回路に接続される部分（給電端）に近い画面端部においてはこの電圧変化が急峻となり迅速に生じるが、給電端から遠い部分（画面の左右両側から給電する場合は画面中央付近、片側のみから給電する場合は画面上で走査信号駆動回路につながらないほうの端）においては走査電極自身のもつ CR 時定数のために波形に歪みが生じ、電位の推移がな
20 だらかになる。給電端から近い部分と遠い部分において走査電極電位波形は第 2 段のようになる。画素電極電位 V_d は、充電が完了した時点では映像信号電圧 V_{sig} にほぼ等しいが、図 3 4 の回路の C_{gd} による容量結合のため、 V_g の変化に伴って突き抜け電圧が生じる。突き抜け電圧
25 は給電端からの距離にかかわらず（数 1 1）の ΔV_a で表される。

次に、走査電極 V_g が補償電位（例えば、 $V_{ge}(-)$ ）となる。走査電極電位が立ち下がる時に TFT はすぐにオフ状態になるのではなく、スイッチング閾値（映像信号電極電位より閾値電圧分だけ上の電位）を通過するときに初めてオフになる（但し TFT は、遅くとも映像信号電極電位 V_{sig} が次の走査期間電圧に向かって移行するまでにはオフになる）。いま、終端では、走査電圧波形の歪みにより、トランジスタのしきい値 V_{th} に至るまでに、 Δt の期間分、スイッチングが遅れたとする。

走査電極電位立ち下がり開始からスイッチング閾値通過までの Δt の期間、突き抜けによって発生する映像信号電極－画素電極間（TFT のソース・ドレイン間）の電位差を埋め合わせようとして TFT に電流が流れてしまう。このため、画素電極電位 V_d の実際の変化分の絶対値は $|\Delta V_a|$ より小さくなる。TFT に電流が流れることによって生じる電圧差を $\Delta V_a'$ で表すと、第 3 段に示すように、画素電極電位 V_d の変化分は給電端に比べて $\Delta V_a'$ 小さくなる。走査信号駆動回路の給電端から遠くなるほど V_g の波形がなだらかになり、TFT がオフになるまでの時間が長くなるので、 $\Delta V_a'$ は一般に給電端から遠くなるに従って大きくなる。なお、このときに TFT に流れる電流を再充電電流と呼び、これによって生じる電圧差 $\Delta V_a'$ を再充電電圧と呼ぶことにする。

この再充電電圧により、図 4 1 の第 3 段に示すように、終端側の画素電極電位 V_d は給電端より $\Delta V_a'$ だけ高い電位となる。この結果、画素位置によって、画素電極電位 V_d の DC レベルがずれてしまい、フリッカ現象を初めとする表示むらが生じることとなる。

第 3 の表示むらの原因は、信号電圧の極性反転駆動の方式を採用した場合に問題となるもので、走査電圧波形の歪みにより、奇数フレーム、偶数フレーム両者間でトランジスタスイッチングタイミングがずれてしまうことである。

上記従来技術でも述べたように、信号電圧の極性反転駆動の方式においては、奇数フレーム、偶数フレーム両者間で、走査電圧に重畳する補償電位が異なる。上記の説明では、奇数フレームでは補償電位として $V_{ge}(-)$ を重畳し、偶数フレームでは補償電位として $V_{ge}(+)$ を重畳している。上記第 2 の原因でも見たように、CR 時定数により走査電圧波形に歪みがある場合、低い電位 $V_{ge}(-)$ に向かうときは電圧波形が急峻に変化するので早くしきい値に達することとなる。一方、高い電位 $V_{ge}(+)$ に向かうときは電圧波形の変化が鈍るので遅くしきい値に達することとなる。トランジスタのスイッチングのタイミングが異なれば、上記第 2 の原因でも述べた再充電期間が異なることとなり、この結果、画素位置によって、画素電極電位 V_d の DC レベルがずれてしまい、フリッカ現象を初めとする表示むらが生じることとなる。

また、この表示むらは、液晶表示装置が上記のカラム反転方式、ドット反転方式のいずれかを採用している場合において、1 列毎の輝度の濃淡パターンであるので縦方向のスジ（縞模様）として観察される。液晶表示装置が上記のカラム反転方式、ドット反転方式において、図 38 中の画素 P と画素 Q は構造的には鏡面对称であるが、動作的には必ずしも対称ではない。なぜなら、図 39 のように走査方向を上から下への方

と規定すると、ある走査電極が選択されるときに補償電位になる走査電極は画素 P の場合は走査方向に対して後側、画素 Q の場合は走査方向に対して前側という違いがあるからである。この補償電位の違いによって再充電現象による画素電極に印加される電圧実効値が異なり、その結果、表示輝度の差が発生する。

第 4 の表示むらの原因は、画素電極へ印加される信号電位が正方向であるか負方向であるかの違いにより、トランジスタスイッチングタイミングがずれることである。液晶表示装置が上記のカラム反転方式、ドット

ト反転方式のいずれかを採用している場合において、走査電圧波形に歪みがある場合、信号電位が正方向に印加されて画素電極電位 V_d が正充電であるか、信号電位が負方向に印加されて画素電極電位 V_d が負充電であるかの違いにより、トランジスタのスイッチングタイミングがずれる。
5 トランジスタのスイッチングは、映像信号電極電位 V_{sig} よりしきい値電圧分だけ上の電位を通過するときにオフになる。つまり、映像信号電極電位 V_{sig} が正であるか負であるかによりトランジスタのスイッチングのタイミングが異なることとなる。トランジスタのスイッチングのタイミングが異なれば、上記第2、第3の原因でも述べた再充電期間
10 が異なることとなり、この結果、画素位置によって、画素電極電位 V_d のDCレベルがずれてしまい、フリッカ現象を初めとする表示むらが生じることとなる。

図42は、上記第3、第4の原因を模式的に示した図である。走査電圧が V_{gon} から降下する波形が、偶数フレームで補償電位が正の補償電位 $V_{ge}(+)$ か、奇数フレームで補償電位が負の補償電位 $V_{ge}(-)$ かにより
15 異なり、さらに、トランジスタがオフとなるしきい値が、画素電極電位 V_d の充電が正充電か負充電かの違いにより異なる結果、トランジスタオフとなるタイミングが $\Delta t_1 \sim \Delta t_4$ まで4通りにずれることが分かる。

20 なお、従来技術において、上記表示むらの第2の原因を緩和するため、特開平5-232509号公報の技術が知られている。これは、それぞれの画素容量に並列に形成する蓄積容量の値を、画素の位置に応じて、走査電極の給電端で大きく、終端で小さくすることにより、終端側画素の充電特性を向上させて充電特性を均一化している。また、終端側画素
25 では(数6)の分母が小さくなるため、終端側画素における突き抜け電圧を給電端画素の突き抜け電圧より再充電電圧分だけ大きくすることに

より、表示の均一化が行えるとしている。

図43は特開平5-232509号公報の構成を示す回路図である。
図において、201は薄膜トランジスタ(TFT)、GLは走査電極、DLは映像信号電極、CLCは画素容量である。CSCA~CSCCは蓄積容量であり、画素電極と共通電極の間に形成されている。蓄積容量CSCA~CSCCは、走査電極の給電側では容量値が大きく(CSCA)、終端側では小さく(CSCC)になっている。また、図には示されていないが、走査電極(TFTのゲート)と画素(TFTのドレイン)の間にはゲート・ドレイン間容量CGDが存在する。

10 本公報には、図44に示す画素レイアウトが開示されている。画素電極220と共通電極213のオーバーラップ部分の面積が左から右に向かって小さくされ、画素ごとに蓄積容量の値が変えられている。

しかしながら、特開平5-232509号公報の技術では、走査電極上に形成された蓄積容量を画素位置に応じて変化させると、(数1)や
15 (数4)で示される結合電圧やトランジスタのオフリークの影響が画素ごとに異なるようになり、新たな画素電圧むらが発生するという課題があり、十分な解決手段とはなっていなかった。

発明の開示

20 本発明は、上記課題を解決し、大型液晶表示装置や高解像度液晶表示装置において表示むらを低減することを目的とする。

上記問題点を解決するため、本発明の第1の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、前記画素電極との間に容量を形成する対向電極とを備えた表示装置であって、前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、前記スイッ

5 チング素子のゲート・ドレイン間容量および前記蓄積容量のうち少なくとも一方を含む、前記画素電極に接続された2つ以上の容量成分が、前記走査電極の給電端からの距離に応じて異なった値を有しており、1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} 、前記画素電極と前記対向電極との間の対向電極－画素電極間容量を C_{lc} とした場合に、(数12)に示す第1の容量比 α_{gd} が、前記走査電極の給電端からの距離に応じて連続的にまたは段階的に増加していることを特徴とする。

10 (数12)

$$\alpha_{gd} = C_{gd} / C_{tot}$$

上記構成により、画素電極電位のDCレベルのずれを補償してフリッカを低減するとともに、画素電極電位に重畳される結合電圧のばらつきを減少させて輝度の均一な表示を行うという効果が得られる。

15 なお、画素電極に接続される全容量 C_{tot} は、画素電極に接続されている容量が C_{gd} 、 C_{lc} 、 C_{st} のみであれば、 $C_{tot} = C_{gd} + C_{lc} + C_{st}$ であるが、それ以外の容量が接続されている場合は、当該容量も含まれる。また、ゲート・ドレイン間容量 C_{gd} に対して並列に形成された容量成分がある場合、かかる容量成分もゲート・ドレイン間容量 C_{gd} に含ませることができる。

次に、上記第1の表示装置の構成において、前記ゲート・ドレイン間容量および前記蓄積容量の双方が、前記走査電極の給電端からの距離に応じて増加していることが好ましい。

25 上記構成によれば、液晶容量(対向電極－画素電極間容量)を一定としつつ、第1の容量比 α_{gd} を走査電極の給電端からの距離に応じて連続的にまたは段階的に増加させることができるので、開口率が画素位置

によって変動することがなくなる。

次に、上記第 1 の表示装置の構成において、前記ゲート・ドレイン間容量および前記蓄積容量の双方が、前記走査電極の給電端からの距離に応じて減少していることが好ましい。

- 5 上記構成によっても、液晶容量（対向電極－画素電極間容量）を一定としつつ、第 1 の容量比 α_{gd} を走査電極の給電端からの距離に応じて連続的にまたは段階的に増加させることができるので、開口率が画素位置によって変動することがなくなる。

- 次に、上記第 1 の表示装置の構成において、前記蓄積容量、および、
10 前記対向電極と画素電極間に形成される容量の双方が、前記走査電極の給電端からの距離に応じて減少していることが好ましい。

- 上記構成によれば、ゲート・ドレイン間容量 C_{gd} を一定としつつ、第 1 の容量比 α_{gd} を走査電極の給電端からの距離に応じて連続的にまたは段階的に増加させることができる。ここで、ゲート・ドレイン間容
15 量 C_{gd} を一定とし、他のパラメータを制御することの利点は、 C_{gd} の値が小さい場合などにおいては、 C_{gd} の値を変化させて第 1 の容量比 α_{gd} を制御するよりも、他のパラメータを変化させて第 1 の容量比 α_{gd} を制御する方が制御が容易だからである。

- なお、開口率を一定とするために、遮光部（例えば、ブラックマトリックス）の面積を、画素構成を変化させても一定としておくことが好ましい。
20

次に、上記第 1 の表示装置の構成において、（数 1 3）に示す第 2 の容量比 α_{st} が、略一定となるように、各画素における容量成分が設定されていることが好ましい。

- 25 （数 1 3）

$$\alpha_{st} = C_{st} / C_{tot}$$

この構成により、画素電極電位に重畳される結合電位のばらつきを低減し、輝度の均一な表示を行なうという効果が得られる。

次に、上記第1の表示装置の構成において、第2の容量比 α_{st} が、前記走査電極の給電端からの距離に応じて連続的にまたは段階的に増加
5 するように、各画素における容量成分が設定されていることが好ましい。

再充電の影響が正負フィールドで等しくないことを考慮したものであり、画素電極電位に重畳される結合電位のばらつきを低減し、さらに輝度の均一な表示を行なうという効果が得られる。

次に、上記第1の表示装置の構成において、表示媒質を液晶とすることにより本発明の第1の表示装置を液晶表示装置として利用することが
10 できる。

次に、上記第1の表示装置の構成において、前記走査信号の駆動回路に前記蓄積容量を介して電圧重畳する手段を備えることが好ましい。

上記構成により、走査電圧信号のレベル切り替えによる容量結合駆動
15 を可能としている。

なお、前記走査信号の駆動回路が4値以上の出力電圧を備えることが好ましい。正負フィールドで同一のオフ電圧を用いて容量結合駆動が可能となるからである。

次に、上記第1の表示装置において、前記画素電極に前記スイッチング素子を介して電位を書き込んだ後に、前記蓄積容量を介した電圧を重畳
20 することが好ましい。

上記構成により、容量結合駆動における走査電極の時定数の影響を低下させて、大型や高解像度の液晶表示装置を低電圧で駆動することができる。

25 また、上記問題点を解決するため、本発明の第2の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチン

グ素子と、走査電極と、映像信号電極と、前記画素電極との間に容量を形成する対向電極と、蓄積容量電極とを備えた表示装置であって、前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に第1の蓄積容量を備え、前記画素電極と前記蓄積容量電極との間に第2の蓄積容量を備えたことを特徴とする。

上記構成により、容量結合駆動において問題となる、走査線時定数の影響に起因する走査線給電端からの距離に応じた画素充電時間の減少および再充電時間の増加を解決できる。つまり、蓄積容量の一部が蓄積容量電極上にあるので、走査線の時定数が低減され、走査電圧波形の歪みが低減され、画素充電時間を長く保ち、再充電時間を短く低減することができ、画素充電不足による輝度むらや、画素再充電のばらつきによるフリッカを少なくすることができる。

次に、上記第2の表示装置の構成において、1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記第1の蓄積容量を C_{st1} 、前記第2の蓄積容量を C_{st2} 、前記画素電極と前記対向電極との間の対向電極－画素電極間容量を C_{lc} とした場合に、(数14)に示す第3の容量比 α_{gd1} が、走査電極の給電端からの距離に応じて連続的にまたは段階的に増加していることが好ましい。

(数14)

$$\alpha_{gd1} = C_{gd} / C_{tot}$$

なお、画素電極に接続される全容量 C_{tot} は、画素電極に接続されている容量が C_{gd} 、 C_{lc} 、 C_{st1} 、 C_{st2} のみであれば、 $C_{tot} = C_{gd} + C_{lc} + C_{st1} + C_{st2}$ であるが、それ以外の容量が接続されている場合は、当該容量も含まれる。また、ゲート・ドレイン間容量 C_{gd} に対して並列に形成された容量成分がある場合、かかる容量成分もゲート・ドレイ

ン間容量 C_{gd} に含ませることができる。

上記構成により、蓄積容量が2分割されており、さらに再充電量の差を補償することができ、画素電極電位のDCレベルのずれを補償してフリッカを低減するとともに、画素電極電位に重畳される結合電圧のばらつきを減少させて輝度の均一な表示を行うという効果が得られる。

次に、上記第2の表示装置の構成において、前記ゲート・ドレイン間容量が、前記走査電極の給電端からの距離に応じて増加していることが好ましい。

次に、上記第2の表示装置の構成において、前記ゲート・ドレイン間容量、前記第1の蓄積容量、および前記第2の蓄積容量のうち少なくとも一者を含む、前記画素電極に接続された2つ以上の容量成分が、前記走査電極の給電端からの距離に応じて異なった値を有していることが好ましい。

上記構成によれば、画素電極電位のDCレベルのずれを補償してフリッカを低減するとともに、画素電極電位に重畳される結合電圧のばらつきを減少させて輝度の均一な表示を行うという効果が得られる。

次に、上記第2の表示装置の構成において、前記ゲート・ドレイン間容量および前記第1の蓄積容量の双方が、前記走査電極の給電端からの距離に応じて増加していることが好ましい。

上記構成によれば、液晶容量（対向電極－画素電極間容量）を一定としつつ、第3の容量比 α_{gd1} を走査電極の給電端からの距離に応じて連続的にまたは段階的に増加させることができるので、開口率が画素位置によって変動することがなくなる。

また、上記第2の表示装置の構成において、前記ゲート・ドレイン間容量が前記走査電極の給電端からの距離に応じて増加し、前記第2の蓄積容量が前記走査電極の給電端からの距離に応じて減少していることが

好ましい。

上記構成によっても、液晶容量（対向電極－画素電極間容量）を一定としつつ、第3の容量比 α_{gd1} を走査電極の給電端からの距離に応じて連続的にまたは段階的に増加させることができるので、開口率が画素位置によって変動することがなくなる。

次に、上記第2の表示装置の構成において、前記第1の蓄積容量および前記第2の蓄積容量の双方が、前記走査電極の給電端からの距離に応じて減少していることが好ましい。

上記構成によれば、液晶容量（対向電極－画素電極間容量）を一定とすることができ、各画素の開口率が走査線給電端の距離によって変動することがない。また、ゲート・ドレイン間容量 C_{gd} を一定としつつ、第3の容量比 α_{gd1} を走査電極の給電端からの距離に応じて連続的にまたは段階的に増加させることができる。ここで、ゲート・ドレイン間容量 C_{gd} を一定とし、他のパラメータを制御することの利点は、 C_{gd} の値が小さい場合などにおいては、 C_{gd} の値を変化させて第3の容量比 α_{gd1} を制御するよりも、他のパラメータを変化させて第3の容量比 α_{gd1} を制御の方が制御が容易だからである。

次に、上記第2の表示装置の構成において、容量比 C_{st1}/C_{st2} が略一定に保たれていることが好ましい。

上記構成によれば、画素電極電位のDCレベルのずれを補償してフリッカを低減するとともに、画素電極電位に重畳される結合電圧のばらつきを減少させて輝度の均一な表示を行うという効果が得られる。

次に、上記第2の表示装置の構成において、(数15)に示す第4の容量比 α_{st1} が、略一定となるように、各画素における容量成分が設定されていることが好ましい。

(数15)

$$\alpha_{st1} = C_{st1} / C_{tot}$$

この構成により、画素電極電位に重畳される結合電位のばらつきを低減し、輝度の均一な表示を行なうという効果が得られる。

- 次に、上記第2の表示装置の構成において、第4の容量比 α_{st1} が、
- 5 前記走査電極の給電端からの距離に応じて連続的にまたは段階的に増加するように、各画素における容量成分が設定されていることが好ましい。

再充電の影響が正負フィールドで等しくないことを考慮したものであり、画素電極電位に重畳される結合電位のばらつきを低減し、さらに輝度の均一な表示を行なうという効果が得られる。

- 10 次に、上記第2の表示装置の構成において、前記画素電極と前記対向電極とが表示媒質を挟んで平行平板容量を形成しない構造であること、さらに、前記対向電極が前記画素電極と同一の基板に形成されていることが好ましい。さらに、前記対向電極と前記画素電極が互いに異なる基板に形成され、前記基板に略平行な電界または斜め方向の電界により表
- 15 示媒質を制御すること、または、前記画素電極を有する基板と当該基板に対向する基板の双方に対向電極が形成され、前記基板に略平行な電界または斜め方向の電界により表示媒質を制御することが好ましい。

- いずれも、インプレーススイッチング方式（横電界方式）など、表示媒質容量の小さい表示方式に本発明の構成を適用することにより、走査
- 20 電極の電位変動が画素電極電位に及ぼす影響を緩和し、横筋の発生を防止して高画質の表示が行えるという効果を得ている。

次に、上記第2の表示装置の構成において、前記走査信号の駆動回路に前記蓄積容量を介して電圧重畳する手段を備えることが好ましい。

- 上記構成により、走査電圧信号のレベル切り替えによる容量結合駆動
- 25 を可能としている。

なお、前記走査信号の駆動回路が4値以上の出力電圧を備えることが

好ましい。正負フィールドで同一のオフ電圧を用いて容量結合駆動が可能となるからである。

次に、上記第2の表示装置において、前記画素電極に前記スイッチング素子を介して電位を書き込んだ後に、前記蓄積容量を介した電圧を重
5 畳することが好ましい。

上記構成により、容量結合駆動における走査電極の時定数の影響を低下させて、大型や高解像度の液晶表示装置を低電圧で駆動することができる。

また、上記問題点を解決するため、本発明の第3の表示装置は、マト
10 リクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備えた表示装置であって、前記画素電極と前記走査電極のうち当該の走査電極を除くものとの間に蓄積容量を備え、ある1つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記走査
15 電極が複数あり、前記画素電極と前記走査電極との間の走査電極－画素電極間容量を C_{gd} で表わし、前記画素電極と前記対向電極との間の対向電極－画素電極間容量を C_{lc} で表わし、前記蓄積容量を C_{st} で表すとき、第1の容量比 $\alpha_{gd} = C_{gd} / C_{tot}$ および第2の容量比 $\alpha_{st} = C_{st} / C_{tot}$ がともに、前記蓄積容量が接続される先の前記走査電極に
20 て異なった値を有することを特徴とする。

次に、上記第3の表示装置の構成において、複数の映像信号電極に極性の異なる2種類の映像信号を同時に印加する映像信号駆動回路を備えていることが好ましい。

次に、上記第3の表示装置の構成において、ある1つの走査電極（こ
25 れを走査電極0と呼ぶ）に属する複数の画素のうち、第1の極性の映像信号を印加する映像信号電極に属する画素の画素電極に接続される蓄積

容量の他方の接続先の走査電極が共通であり（これを走査電極 A と呼ぶ）、第 2 の極性の映像信号を印加する映像信号電極に属する画素の画素電極に接続される蓄積容量の他方の接続先の走査電極も共通であり（これを走査電極 B と呼ぶ）、前記走査電極 A と前記走査電極 B が異なるものであることが好ましい。

次に、上記第 3 の表示装置の構成において、前記走査電極 0 に対して、前記走査電極 A は前段であり、前記走査電極 B は後段であることが好ましい。

次に、上記第 3 の表示装置の構成において、前記蓄積容量が前段の走査電極に接続される画素の α_{gd} および α_{st} をそれぞれ $\alpha_{gd}(P)$ 、 $\alpha_{st}(P)$ で表わし、前記蓄積容量が後段の走査電極に接続される画素の α_{gd} および α_{st} をそれぞれ $\alpha_{gd}(Q)$ 、 $\alpha_{st}(Q)$ で表わしたとき、(数 16) を満たすことが好ましい。

(数 16)

15 $\alpha_{st}(P) < \alpha_{st}(Q)$

次に、上記第 3 の表示装置の構成において、複数の走査電極に電圧信号を印加する走査信号駆動回路を備え、前記走査信号駆動回路は少なくとも 4 値以上の出力電圧を備えることが好ましい。正負フィールドで同一のオフ電圧を用いて容量結合駆動が可能となるからである。

20 次に、上記第 3 の表示装置の構成において、前記走査電極 0 が選択されるときには、前記走査電極 0 の電位は第 1 の電位レベル V_{gon} となり、前記走査電極 A および前記走査電極 B はそれぞれ第 2 の電位レベル $V_{ge}(+)$ 、および第 3 の電位レベル $V_{ge}(-)$ となり、前記走査電極 0 が選択されない保持期間中は、前記走査電極 0 の電位は概略第 4 の電位レベル V_{goff} となり、かつ (数 17) を満たすことが好ましい。

(数 17)

$$\beta(P) < \beta(Q)$$

ただし、

$$\beta(P) = \alpha_{st}(P) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(P)$$

$$\beta(Q) = \alpha_{st}(Q) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(Q)$$

5 ここで、

$$\Delta V_{gec} = (V_{ge}(+) + V_{ge}(-)) / 2 - V_{goff}$$

$$\Delta V_{gon} = V_{gon} - V_{goff}$$

また、上記問題点を解決するため、本発明の第3の表示装置の他の構成は、マトリクス状に配置された複数の画素電極と、これに接続された
 10 スイッチング素子と、走査電極と、映像信号電極と、対向電極とを備えた表示装置であって、前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、前記画素電極と前記走査電極との間の走査電極－画素電極間容量を C_{gd} で表わし、前記画素電極と前記対向電極との間の対向電極－画素電極間容量を C_{lc} で表わし、前記
 15 蓄積容量を C_{st} で表すとき、第2の容量比 $\alpha_{st} = C_{st} / C_{lot}$ が、前記走査電極の画面端部からの距離に応じて変化していることを特徴とする。

次に、上記第3の表示装置の構成において、第2の容量比 α_{st} が、前記走査電極の画面端部からの距離に応じて連続的または段階的に増加していることが好ましい。

20 次に、上記第3の表示装置の構成において、複数の走査電極に電圧信号を印加する走査信号駆動回路を備え、前記走査信号駆動回路は少なくとも4値以上の出力電圧を備えることが好ましい。正負フィールドで同一のオフ電圧を用いて容量結合駆動が可能となるからである。

次に、上記第3の表示装置の構成において、ある走査電極（走査電極
 25 0と呼ぶ）が選択されるときには、前記走査電極0の電位は第1の電位レベル V_{gon} となり、前記走査電極に属する複数の画素の画素電極に接

続される蓄積容量の他方の接続先の前記走査電極（走査電極 A と呼ぶ）の電位は表示周期に応じて第 2 の電位レベル $V_{ge}(+)$ または第 3 の電位レベル $V_{ge}(-)$ となり、前記走査電極 0 が選択されない保持期間中は、前記走査電極 0 の電位は概略第 4 の電位レベル V_{goff} となり、かつ（数
5 18）で表される β が前記走査電極の画面端部からの距離に応じて連続的または段階的に増加していることが好ましい。

（数 18）

$$\beta = \alpha_{st}(\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}$$

ただし、

$$10 \quad \Delta V_{gec} = (V_{ge}(+) + V_{ge}(-)) / 2 - V_{goff}$$

$$\Delta V_{gon} = V_{gon} - V_{goff}$$

次に、上記第 3 の表示装置の構成において、 α_{st} および β の、前記走査電極の画面端部での値を $\alpha_{st}(0)$ 、 $\beta(0)$ とするとき、 $\alpha_{st} - \alpha_{st}(0)$ および $\beta - \beta(0)$ の値が、前記走査電極の画面端部からの距離の 2 乗に
15 概略比例することが好ましい。

また、上記問題点を解決するため、本発明の第 3 の表示装置の他の構成は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備えた表示装置であって、前記画素電極と前記走査電極のうち当分の走査電
20 極を除くものとの間に蓄積容量を備え、ある 1 つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記走査電極が複数あり、1 つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} 、前記画素電極と前記対向電極との間の対向電極－
25 画素電極間容量を C_{lc} とした場合に、第 1 の容量比 $\alpha_{gd} = C_{gd} / C_{tot}$ および第 2 の容量比 $\alpha_{st} = C_{st} / C_{tot}$ がともに、前記蓄積容量が接続

される先の前記走査電極に応じて異なった値を有し、かつ前記走査電極の画面端部からの距離に応じて変化していることを特徴とする。

次に、上記第3の表示装置の構成において、複数の映像信号電極に極性の異なる2種類の映像信号を同時に印加する映像信号駆動回路を備えていることが好ましい。

次に、上記第3の表示装置の構成において、ある1つの走査電極（これを走査電極0と呼ぶ）に属する複数の画素のうち、第1の極性の映像信号を印加する映像信号電極に属する画素の画素電極に接続される蓄積容量の他方の接続先の走査電極が共通であり（これを走査電極Aと呼ぶ）、第2の極性の映像信号を印加する映像信号電極に属する画素の画素電極に接続される蓄積容量の他方の接続先の走査電極も共通であり（これを走査電極Bと呼ぶ）、前記走査電極Aと前記走査電極Bが異なるものであることが好ましい。

次に、上記第3の表示装置の構成において、前記走査電極0に対して、前記走査電極Aは前段であり、前記走査電極Bは後段であることが好ましい。

次に、上記第3の表示装置の構成において、前記蓄積容量が前段の走査電極に接続される画素の α_{gd} および α_{st} をそれぞれ $\alpha_{gd}(P)$ 、 $\alpha_{st}(P)$ で表わし、前記蓄積容量が後段の前記走査電極に接続される画素の α_{gd} および α_{st} をそれぞれ $\alpha_{gd}(Q)$ 、 $\alpha_{st}(Q)$ で表わしたとき、(数19)を満たすことが好ましい。

(数19)

$$\alpha_{st}(P) < \alpha_{st}(Q)$$

次に、上記第3の表示装置の構成において、複数の走査電極に電圧信号を印加する走査信号駆動回路を備え、前記走査信号駆動回路は少なくとも4値以上の出力電圧を備えることが好ましい。正負フィールドで同

一のオフ電圧を用いて容量結合駆動が可能となるからである。

次に、上記第3の表示装置の構成において、前記走査電極0が選択されるときには、前記走査電極0の電位は第1の電位レベル V_{gon} となり、前記走査電極 A および前記走査電極 B はそれぞれ第2の電位レベル $V_{ge}(+)$ 、および第3の電位レベル $V_{ge}(-)$ となり、前記走査電極0が選択されない保持期間中は、前記走査電極0の電位は概略第4の電位レベル V_{goff} となり、かつ(数20)を満たすことが好ましい。

(数20)

$$\beta(P) < \beta(Q)$$

10 ただし、

$$\beta(P) = \alpha_{st}(P) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(P)$$

$$\beta(Q) = \alpha_{st}(Q) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(Q)$$

$$\Delta V_{gec} = (V_{ge}(+) + V_{ge}(-)) / 2 - V_{goff}$$

$$\Delta V_{gon} = V_{gon} - V_{goff}$$

15 次に、上記第3の表示装置の構成において、 $[\alpha_{st}(P) + \alpha_{st}(Q)] / 2$ は前記走査電極の画面端部からの距離に応じて連続的または段階的に増加していることが好ましい。

次に、上記第3の表示装置の構成において、(数21)で表される $\beta(P)$ および $\beta(Q)$ に対して、 $[\beta(P) + \beta(Q)] / 2$ が前記走査電極の画面端部
20 からの距離に応じて連続的または段階的に増加していることが好ましい。

(数21)

$$\beta = \alpha_{st} (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}$$

$$\text{ただし、} \Delta V_{gec} = (V_{ge}(+) + V_{ge}(-)) / 2 - V_{goff}$$

$$\Delta V_{gon} = V_{gon} - V_{goff}$$

25 次に、上記第3の表示装置の構成において、 $\alpha_{st}(P)$ 、 $\alpha_{st}(Q)$ および $\beta(P)$ 、 $\beta(Q)$ の、前記走査電極の画面端部での値を $\alpha_{st}(P, 0)$ 、 $\alpha_{st}(Q, 0)$

および $\beta(P, 0)$ 、 $\beta(Q, 0)$ とするとき、 $[\alpha_{st}(P) - \alpha_{st}(P, 0) + \alpha_{st}(Q) - \alpha_{st}(Q, 0)] / 2$ および $[\beta(P) - \beta(P, 0) + \beta(Q) - \beta(Q, 0)] / 2$ の値は、前記走査電極の画面端部からの距離の 2 乗に概略比例することが好ましい。

- 5 次に、上記第 3 の表示装置の構成において、前記画素電極に前記スイッチング素子を介して電位を書き込んだ後に、前記蓄積容量を介した電圧を重ねることが好ましい。

上記構成により、容量結合駆動における走査電極の時定数の影響を低下させて、大型や高解像度の液晶表示装置を低電圧で駆動することができる。

次に、上記第 3 の表示装置の構成において、前記画素電極と前記対向電極の間にある媒質を液晶とすれば、本発明の表示装置を液晶表示装置に適用することができる。

- また、上記問題点を解決するため、本発明の第 4 の表示装置は、対向する 2 枚の基板のうち、一方の基板の対向面側に、行列状に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極と、前記ゲート配線に順次ゲートパルスを供給するゲート駆動回路と前記ソース配線に映像信号を供給するソース駆動回路とを備え、前記蓄積容量がゲート信号の供給側から離れるに従って小さくなるように形成され、前記蓄積容量の減少に伴って前記薄膜トランジスタが小さくなるよう構成されたことを特徴とする。

- 25 この構成によって、蓄積容量の減少により画素容量が低下しても、それに合わせて TFT サイズも小さくしているので、TFT のオフリーク

による画素電極電位の変動を画面全体で同じになるように出来、しかも TFT サイズを小さくしていくことによって、ゲート配線やソース配線の寄生容量を低下させ、信号の鈍りを緩和することが出来るのでクロストークやフリッカの発生を抑制した液晶パネルを得ることが出来る。

- 5 また、上記問題点を解決するため、本発明の第4の表示装置の他の構成は、対向する2枚の基板のうち、一方の基板の対向面側に、行列状に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極と、前記ゲート配線に順次ゲートパルスを提供するゲート駆動回路と前記ソース配線に映像信号を供給するソース駆動回路とを備え、前記薄膜トランジスタはゲート配線に接続されたゲート電極、ソース配線に接続されたソース電極、及び画素電極に接続されたドレイン電極から構成され、前記ソース電極とドレイン電極はチャンネル幅Wでチャンネル長Lを隔てて対向しており、前記蓄積容量電極がゲート信号の供給側から離れるに従って小さくなるように形成され、前記蓄積容量電極の面積の減少に伴って前記薄膜トランジスタのドレイン電極のチャンネル幅Wを小さくするとともに、前記ゲートと前記ドレイン電極の重なりによって形成される静電容量が一定となるよう構成されたことを特徴とする。
- 10
- 15
- 20

- この構成によって蓄積容量を減少させることによる画素電圧の一定化の効果は維持しつつ、TFTのチャンネル幅を小さくすることによって、ゲートパルスのオフ期間におけるTFTからのリーク電流を蓄積容量の減少に従って小さくすることが出来る。従って画素電極電位の変動を画面全体で同じになるように出来、クロストークやフリッカの発生を抑制
- 25

した表示装置を得ることが出来る。

次に、上記第4の表示装置の構成において、2配線以上のゲート配線に同時にゲートパルスを加えることが好ましい。

- この構成によって第4の表示装置の構成においてTFTが小さくなった場合でも、実効的な充電期間を2倍以上に出来るので、画素への信号供給能力の低下を抑制出来る。

- また、上記問題点を解決するため、本発明の第4の表示装置の他の構成は、対向する2枚の基板のうち、一方の基板の対向面側に、行列状に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極を備え、前記薄膜トランジスタはゲート配線に接続されたゲート電極、ソース配線に接続されたソース電極、及び画素電極に接続されたドレイン電極から構成され、前記ソース電極とドレイン電極はチャンネル幅Wでチャンネル長Lを隔てて対向しており、前記蓄積容量がゲート信号の供給側から離れるに従って小さくなるように形成され、前記蓄積容量の減少に従って、前記ゲート電極とドレイン電極間の静電容量が大きくなるよう構成されたことを特徴とする。

- この構成によって、Cstの減少幅を小さくすることが出来、TFTのオフリークによる画素電極電位の変動を抑制出来る。

- 次に、上記第4の表示装置の構成において、蓄積容量をCst、ゲート電極とドレイン電極間の静電容量をCgd、ドレイン電極と対向電極間の静電容量をC_{lc}としたとき、Cst+Cgd+C_{lc}が略一定となるよう構成することが好ましい。

この構成によって、Cstが減少しても画素容量全体は一定となるた

め、TFTのオフリークによる画素電極電位の変動を画面全体で同じにすることが出来、クロストークやフリッカの発生を抑制した液晶パネルを得ることが出来る。

5 なお、上記第1から第4の表示装置において、第2のスイッチング素子を備え、前記画素電極が前記第2のスイッチング素子のゲート電極を兼ねている、または、前記画素電極が前記第2のスイッチング素子のゲート電極に接続されている構成とすることも好ましい。

上記構成によれば、有機EL表示装置など、スイッチング素子を2つ備えた表示装置に対しても本発明を適用することができる。

10

図面の簡単な説明

図1は、本発明の実施形態1に係る液晶表示装置の構成を示す回路図である。

15 図2は、本発明の実施形態1に係る液晶表示装置の奇数フレームのときの各部の電位を示す波形図である。

図3は、本発明の実施形態1に係る液晶表示装置の偶数フレームのときの各部の電位を示す波形図である。

図4は、走査電圧波形に歪みがあれば、充電が完全に行われた場合でも画素電圧が不均一となる理由を説明する図である。

20 図5は、本発明の実施形態5の液晶表示装置の画素構成例を示す平面図である。

図6は、図5に示した液晶表示装置の薄膜トランジスタ部分の拡大図である。

25 図7は、本発明の実施形態6の液晶表示装置の画素構成例を示す図である。

図8は、本発明の実施形態7における液晶表示装置の基本構成を示す

図である。

図 9 は、パネルサイズの増大に伴う終端画素の輝度低下の度合いを示した図である。

図 10 は、本実施形態 8 に係る液晶表示装置の断面図である。

5 図 11 は、図 10 に示した液晶表示装置の 1 画素の構成を示す図である。

図 12 は、本発明の実施形態 9 に係る液晶表示装置の画素部分の電極構成を示す断面図である。

10 図 13 は、図 12 に示した液晶表示装置の 1 画素の構成を示す図である。

図 14 は、本発明の液晶表示装置において、走査電極給電端と終端において画素電圧が均一とすることを説明する図である。

15 図 15 は、本発明の実施形態 10 に係る液晶表示装置において、当段の画素が正電位に充電される奇数フレームのときの各部の電位を示す波形図である。

図 16 は、本発明の実施形態 10 に係る液晶表示装置において、当段の画素が負電位に充電される偶数フレームのときの各部の電位を示す波形図である。

20 図 17 は、共通電極電位変動に基づく再充電電圧発生メカニズムを説明する図である。

図 18 は、実施形態 12 にかかる液晶表示装置の両側給電の場合における、 α st、あるいは β の分布の付け方を説明する図である。

図 19 は、実施形態 12 にかかる、本発明の液晶表示装置を IPS モードの液晶表示装置に適用した回路構成を示す図である。

25 図 20 は、図 19 の構成図のうちの、画面の左端と中央部分の画素を抜き出した図である。

図 2 1 は、実施形態 1 3 にかかる液晶表示装置の画面の左端と中央部分の画素を抜き出した図である。

図 2 2 は、実施形態 1 4 にかかる液晶表示装置の画面の左端と中央部分の画素を抜き出した図である。

5 図 2 3 は、実施形態 1 5 にかかる液晶表示装置の画面の左端と中央部分の画素を抜き出した図である。

図 2 4 は、実施形態 1 6 にかかる、本発明の液晶表示装置を TN モードの液晶表示装置に適用した回路構成を示す図である。

10 図 2 5 (a) は、実施形態 1 7 の液晶表示装置の TN モードの画素構成を示す平面模式図である。(b) は、実施形態 1 7 の IPS モードの液晶表示装置の画素構成を示す平面模式図である。

図 2 6 は、実施形態 1 8 の液晶表示装置の TN モードの画素構成を示す平面模式図である。

15 図 2 7 (a) および (b) は、実施形態 1 9 の液晶表示装置のゲートパルスのタイミングを表す図である。

図 2 8 (a) は、実施形態 2 0 の TN モードの液晶表示装置の画素構成を示す平面模式図である。(b) は、実施形態 2 0 の IPS モードの液晶表示装置の画素構成を示す平面模式図である。

20 図 2 9 (a) は、本発明の表示装置を片側給電する場合の駆動回路を模式的に示した図である。(b) は、本発明の表示装置を両側給電する場合の駆動回路を模式的に示した図である。

図 3 0 は、本発明の表示装置の片側給電の場合における、 α_{st} 、あるいは β の分布の付け方を説明する図である。

図 3 1 は、IPS モードの液晶表示装置の断面図である。

25 図 3 2 は、IPS モードの液晶表示装置の 1 画素の平面構成を示す図である。

図 3 3 は、本発明の表示装置を有機 E L 型表示装置に適用した場合の構成を示す回路図である。

図 3 4 は、従来技術における、前段走査電極と画素電極の間に蓄積容量 C_{st} を形成した液晶表示装置の 1 画素の等価回路を示す図である。

5 図 3 5 は、図 3 4 に示した従来技術における液晶表示装置を駆動した場合の各部の電位を説明する図である。

図 3 6 は、各種反転駆動パターンとそのときの映像信号入力波形を示す図である。

10 図 3 7 は、従来技術における表示装置の画素パターンの一例を示す回路図である。

図 3 8 は、従来技術における表示装置の画素パターンの別の例を示す回路図である。

図 3 9 は、従来技術におけるドット反転方式の場合の具体的な走査電極信号駆動波形を示す図である。

15 図 4 0 は、従来技術の液晶表示装置における各部の電位を示す波形図である。

図 4 1 は、従来の液晶表示装置において、再充電現象の結果、画素電圧が不均一となる理由を説明する図である。

20 図 4 2 は、従来の液晶表示装置において、再充電電圧の発生メカニズムを示す詳細な説明図である。

図 4 3 は、従来の液晶表示装置の構成を示す平面図である。

図 4 4 は、従来の液晶表示装置における各部の電位を示す波形図である。

25 発明を実施するための最良の形態

以下、本発明の表示装置の実施形態について、図面を参照しながら説

明する。。なお、以下特に断りの無い限り、走査信号は両側から給電する場合を想定するが、片側から給電する場合も同様に考えればよい。

以下、実施形態 1 から 6 に本発明の第 1 の表示装置の実施形態を示し、実施形態 7 から 11 に本発明の第 2 の表示装置の実施形態を示し、実施
5 形態 12 から実施形態 16 に本発明の第 3 の表示装置の実施形態を示し、実施形態 17 から実施形態 20 に本発明の第 4 の表示装置の実施形態を示す。

以下の実施形態において、画素電極電位を V_d で表わし、映像信号を V_s または V_{sig} で表わし、共通電位を V_c または V_{com} で表わすことと
10 する。

(実施形態 1)

図 1 は、本発明の実施形態 1 における液晶表示装置の基本構成を示す図である。図 1 において、1 は走査電極、2 は映像信号電極であり、その交点にはスイッチング素子としての薄膜トランジスタ (TFT) 3 が
15 形成されている。TFT 3 のゲート電極は走査電極 1 に、ソース電極は映像信号配線 2 に、ドレイン電極は画素電極 5 に、それぞれ接続されている。

画素は、2 つの容量 6・7 から構成されている。液晶容量 6 (C_{lc}) は画素電極 5 と対向電極の間に形成され、この両端に印加された電圧により液晶が動作する。対向電極には対向電極電位 V_c が与えられている。
20

液晶容量 6 には、蓄積容量 7 (C_{st}) が並列に形成されている。この並列容量は、液晶容量 6 からの電荷が漏れた場合にこれを補償して、液晶の動作を安定化させる。蓄積容量 7 は画素電極 5 と前段の走査電極 1 の間に形成されている。また、TFT のゲートとドレインの間には、ゲ
25 ート・ドレイン間容量 10 (C_{gd}) が形成されている。

液晶表示装置はマトリクス状に配置された画素を持っているが、図 1

には n 行目の画素と周辺の電極配線を示し、他の部分は省略している。
 $G(n-1)$ は $n-1$ 行目の走査電極、 $G(n)$ は n 行目の走査電極である。また $S(1)$ は1列目の映像信号配線、 $S(p)$ は p 列目（最終列）の映像信号配線である。

- 5 蓄積容量（ C_{st} ）とゲート・ドレイン間容量（ C_{gd} ）の双方は、走査電極の給電端（図1では左側）から終端（図1の右側）に向けて徐々に大きくされている。

両者の値は、（数22）に示す第1の容量比 α_{gd} が、走査電極の給電端から終端に向けて徐々に大きくなるように調整され、かつ、（数23）

- 10 に示す第2の容量比 α_{st} が同一走査電極上にある画素でほぼ一定となるように調整されている。

（数22）

$$\alpha_{gd} = C_{gd} / (C_{tot})$$

（数23）

- 15 $\alpha_{st} = C_{st} / (C_{tot})$

ここで、 C_{tot} は画素電極に接続される全容量

なお、 C_{tot} は通常、 $C_{st} + C_{gd} + C_{lc}$ となるが、画素電極にそれ以外の容量がある場合には、当該容量も含むものである。また、ゲート・ドレイン間容量（ C_{gd} ）に並列に形成された容量成分も C_{gd} に含める

- 20 こととする。

この液晶表示装置は、次に示すように駆動される。

- 各電極に与えられる駆動波形の形状は、従来の容量結合駆動と同様、
図35に示すものである。即ち、まず n 行目の走査電極 $G(n)$ にオン電圧を印加してTFTを導通させて画素を充電し、次いで走査電圧をオフ
25 レベルにしてTFTを非導通とし、その後に前段の走査電極 $G(n-1)$ にステップ電圧を印加して蓄積容量7を介した結合電圧を重畳する。

図2と図3は、前段走査電極上の蓄積容量を介して容量結合駆動を行なう場合のゲート電位（走査電極電位）と画素電極電位の時間変化を示したものである。ゲート電位は当画素に接続されたTFTのもの（当段）と、容量結合に関するもの（前段）の両者が記されている。画素電圧は上下に隣接する画素でその極性が反転されているものとし、当段の画素が正電位に充電される奇数フレームの電位変化を図2に、これとは電圧極性が反転された偶数フレームの電位変化を図3に示している。

図2および図3において、画素は正の充電期間には $V_s(+)$ に、負の充電期間には $V_s(-)$ に一旦充電される。次いで当段ゲート電圧が立下る時に、画素電極電位は下向きの結合電圧（図2の ΔV_1 や図3の $\Delta V_1'$ ）により変化する。第1の容量比 α_{gd} を走査電極の給電端から終端に向けて徐々に大きくなるように調整することは、 ΔV_1 や $\Delta V_1'$ の面内分布を均一化するという効果がある。

その後、前段ゲート電位をステップ状に変化させているので、蓄積容量を介して結合電圧 ΔV_2 または $\Delta V_2'$ が画素電極電位に重畳される。同一走査電極上にある画素で α_{st} をほぼ一定とすることは、 ΔV_2 または $\Delta V_2'$ を面内で一定とする効果がある。

その結果、走査電極給電端から近い画素も遠い画素も、画素電極電位が落ち着く値は均一となり、表示むらを抑えることができる。

以下、これらの作用について、詳しく説明する。

まず、(数22)に示した第1の容量比 α_{gd} を走査電極の給電端から終端に向けて徐々に大きくなるようにすることの効果は、次のようなものである。

薄膜トランジスタを用いた液晶表示装置で走査電圧に歪が生じると、充電が完全に行われた場合でも次の理由で画素電圧に不均一が生じる。図4はこれを説明するためのものである。画面全体に同一の表示を行な

う場合、映像信号線から供給されるソース電位は画素によらず一定である。走査電極から供給されるゲート電位波形は、給電端では矩形波であるが、配線時定数の影響により終端では図4のように歪んでいる。

ゲート電位をオン状態にして画素を電位 V_s に充電した後、ゲート電
5 圧の立下り時の容量カップリングの影響により、画素電極電位は(数2
4)で示される突き抜け電位 ΔV_a だけ低下する。

(数24)

$$\Delta V_a = \alpha_{gd} \cdot \Delta V_{gon}$$

なお、本明細書において ΔV_{gon} は、 $V_{gon} - V_{goff}$ を示している。

10 また、 ΔV_a は、 ΔV_1 と ΔV_3 の和を表わしている。

ゲート電位波形に歪のない給電端では、すぐに薄膜トランジスタがオフ状態となり画素電極電位 V_d は $V_s - \Delta V_1$ に落ち着く。

一方、終端側の画素ではゲート電位波形に歪みがあるので、図4に示
15 するように薄膜トランジスタがオフ状態になるまでに Δt の時間が必要で
ある。この間に画素電極電位 V_d は V_s に向かって再び充電される。

第1の容量比 α_{gd} が一定の場合、終端側の画素電極電位は図4に4
1で示すような時間変化をし、給電端より図4の $\Delta V'$ だけ高い電位と
なる。この結果、画素電極電位のDCレベルが給電端と終端でずれる。

本構成の液晶表示装置では第1の容量比 α_{gd} を走査電極の終端側で
20 大きくしているので、 ΔV_1 も終端で大きくなる。ゲート電圧立下り時
の容量カップリングによる電位の低下が終端側で $\Delta V'$ だけ大きくなる
ように第1の容量比 α_{gd} を変化させておけば、画素電極電位の時間変
化は図4の41のラインから42のラインへと移り、最終到達レベルが
給電端と終端で等しくなって、フリッカを初めとするむらが生じず、均
25 一な表示を行なうことができる。第1の容量比 α_{gd} を変化させる度合
いは、各部電圧波形のコンピュータシミュレーションなどにより求める

ことができる。

次に、第2の容量比 α_{st} を同一走査電極上にある画素でほぼ一定とすることの効果について説明する。

図2と図3に示すように、前段ゲート電位がステップ状に変化すると、
5 蓄積容量を介して結合電圧 ΔV_2 または $\Delta V_2'$ が画素電極電位に重畳される。これは、前段ゲート電位の変化量に第2の容量比 α_{st} を掛けただものになる。前段ゲート電位の変化量は、(数25)第1式または第2式のいずれかの値をとるが、同一タイミングに同一走査線上にある画素では等しいものとなっている。

10 (数25)

$$V_{goff} - V_{g(+)}$$

$$V_{goff} - V_{g(-)}$$

ここで、 $V_{g(+)}$ は重畳される正の変調電位、 $V_{g(-)}$ は重畳される負の変調電位を示している。

15 従って、第2の容量比 α_{st} を同一走査電極上にある画素でほぼ一定とすれば、重畳電圧 ΔV_2 あるいは $\Delta V_2'$ を画素によらず一定とすることができる。なお、 $V_{g(high)}$ 、 $V_{g(OFF)}$ 、 $V_{g(low)}$ の各電圧は、前段画素電極電位が変動しないように、前段走査線のトランジスタがオン状態とならない範囲に設定する必要がある。

20 このように、本実施形態1の液晶表示装置は、以下の3つの条件を満足するように構成したものである。

(1) 蓄積容量(C_{st})とゲート・ドレイン間容量(C_{gd})の双方を、走査電極の給電端からの距離に応じて異なった値とする。その一例として、双方を走査電極の給電端から終端に向けて連続的または段階的に大
25 きくする。

(2) 第1の容量比 α_{gd} が走査電極の給電端からの距離に応じて連

続的にまたは段階的に大きくなるように構成する。

(3) 同一走査電極上にある画素で第2の容量比 α_{st} がほぼ一定となるように構成する。

- これらの条件を満足するように構成し、当段ゲート電圧が立下る時の
- 5 結合電圧による電位変化(図2の ΔV_1 や図3の $\Delta V_1'$)、および、容量結合駆動による重畳電圧(図2の ΔV_2 や図3の $\Delta V_2'$)の双方を表示面内で均一にする。

この結果、以下の効果を得ることができる。

- (1) 画素電圧に結合電圧を重畳することによる映像信号電圧の低電
- 10 圧化、および駆動電力の低減

(2) 画素電圧均一化によるフリッカや輝度むらの解消

(3) 液晶容量を一定にできるので、開口率が画素位置によって異なることがない。

(実施形態2)

- 15 実施形態1には、本発明の理想的な実施形態を説明した。しかしながら、設計上の制約などがある場合には、実施形態1に示した容量に関する3つの条件のうち、

- (3)「同一走査電極上にある画素で第2の容量比 α_{st} がほぼ一定となるように構成する」という条件を除いた残りの2条件のみでも、実用
- 20 的にはある程度の効果を得ることができる。

本実施形態2は、蓄積容量とゲート・ドレイン間容量とが、残りの2条件を満たす構成をとるものである。

- 従来例の構成では、ゲート・ドレイン間容量(C_{gd})を走査電極の給電端から終端に向けて徐々に大きくする構成、あるいは、これを蓄積容量(C_{st})を徐々に小さくする構成と併用することにより(2)の条件
- 25 を満たしていた。

一方、本実施形態 2 では、蓄積容量 (C_{st}) とゲート・ドレイン間容量 (C_{gd}) の双方を、走査電極の給電端から終端に向けて徐々に大きくすることにより、(2) の条件を満たしている。

α_{st} は、(数 2 3) により定まるものである。

- 5 (数 2 3) より明らかなように、蓄積容量 (C_{st}) をも増加させている本実施形態 2 の構成は、従来構成に比べて α_{st} の変動が少なくなり、画素電圧の変動が抑えられる。この結果、フリッカや輝度むらを大幅に低減することができる。

(実施の形態 3)

- 10 実施形態 1 および実施形態 2 では、蓄積容量 (C_{st}) とゲート・ドレイン間容量 (C_{gd}) の双方を、走査電極の給電端から終端に向けて徐々に大きくした。この方法は、ゲート・ドレイン間容量の変化により、第 1 の容量比 α_{gd} を走査電極の給電端から終端に向けて徐々に大きくし、これに伴う第 2 の容量比 α_{st} の変化を蓄積容量の変化により解消ある
15 いは低減するものである。

本実施形態 3 は、それとは逆に、蓄積容量の変化により、第 1 の容量比 α_{gd} を走査電極の給電端から終端に向けて徐々に大きくし、これに伴う第 2 の容量比 α_{st} の変化をゲート・ドレイン間容量の変化により解消するものである。

- 20 このため、本実施形態の液晶表示装置では、図 1 に示す画素構成において、次の 3 つの条件を満たす構成となっている。

- (1) 蓄積容量 (C_{st}) とゲート・ドレイン間容量 (C_{gd}) の双方を、走査電極の給電端からの距離に応じて異なった値とする。その一例として、双方を走査電極の給電端から終端に向けて連続的または段階的に小
25 さくする。

(2) 第 1 の容量比 α_{gd} が走査電極の給電端からの距離に応じて連

統的にまたは段階的に大きくなるように構成する。

(3) 同一走査電極上にある画素で第2の容量比 α_{st} がほぼ一定となるように構成する。

本実施形態3の液晶表示装置は、実施形態1に示したものと同様に駆動される。実施形態1の説明と同様の理由により、当段ゲート電圧が立下る時の結合電圧による電位変化(図2の ΔV_1 や図3の $\Delta V_1'$)、および、容量結合駆動による重畳電圧(図2の ΔV_2 や図3の $\Delta V_2'$)の双方を表示面内で均一にすることができる。

この結果、以下の効果を得ることができる。

10 (1) 画素電圧に結合電圧を重畳することによる映像信号電圧の低電圧化、および駆動電力の低減

(2) 画素電圧均一化によるフリッカや輝度むらの解消

(3) 液晶容量を一定にできるので、開口率が画素位置によって異なることがない。

15 (実施の形態4)

実施形態3には、本発明の理想的な実施形態を説明した。しかしながら、設計上の制約などがある場合には、実施形態3に示した容量に関する3つの条件のうち、(3)「同一走査電極上にある画素で第2の容量比 α_{st} がほぼ一定となるように構成する」という条件を除いた残りの2条件のみでも、実用的にはある程度の効果を得ることができる。

本実施形態4は、蓄積容量とゲート・ドレイン間容量とが、残りの2条件を満たす構成をとるものである。

(1) 蓄積容量(C_{st})とゲート・ドレイン間容量(C_{gd})の双方を走査電極の給電端から終端に向けて連続的または段階的に小さくする。

25 (2) 第1の容量比 α_{gd} が走査電極の給電端からの距離に応じて連続的にまたは段階的に大きくなるように構成する。

従来例の構成では、蓄積容量 (C_{st}) を走査電極の給電端から終端に向けて徐々に小さくする構成、あるいは、これをゲート・ドレイン間容量 (C_{gd}) を徐々に大きくする構成と併用することにより (2) の条件を満たしていた。

- 5 一方、本実施形態 4 では、蓄積容量 (C_{st}) とゲート・ドレイン間容量 (C_{gd}) の双方を、走査電極の給電端から終端に向けて徐々に小さくすることにより、(2) の条件を満たしている。

α_{st} は、(数 23) により定まるものである。

- 10 (数 23) より明らかなように、ゲート・ドレイン間容量 (C_{gd}) をも変化させている本実施形態 4 の構成は、従来構成に比べて α_{st} の変動が少なくなり、画素電圧の変動が抑えられる。この結果、フリッカや輝度むらを大幅に低減することができる。

(実施の形態 5)

- 15 本実施形態 5 には、実施形態 1 から実施形態 4 の表示装置をイン・プレイン・スイッチング (IPS) モードの液晶表示装置に応用した例を示す。

まず、IPS モードの液晶表示装置の基本構成を図 31 および図 32 を用いて説明する。

- 20 図 31 は IPS モードの液晶表示装置の断面図であり、図 32 は 1 画素の平面構成を示すものである。図 31 の中央部は、図 32 の A-A' 線に沿った断面構造を示している。

- 図 31 において、11 と 12 はガラスなどからなる基板であり、11 は薄膜トランジスタやそれに接続された電極が形成されたアレイ基板、12 はそれに対向する対向基板である。2 つの基板の間には液晶 13 が挟持され、その両端はシール 17 により封止されている。14 と 15 は
25 偏光表示を行うための偏光板、19 はカラー表示を行うためのカラーフ

ィルターである。カラーフィルタは対向基板 12 の側に形成されているが、アレイ基板 11 の側に形成してもかまわない。

アレイ基板 11 の上には、第 1 の導電層により走査電極 1 と共通電極 4 が形成され、その上を絶縁膜 18 が覆っている。絶縁膜 18 の上にある第 2 の導電層により画素電極 5 が形成されている。図 32 に示すように、画素電極 5 は前段の走査電極 1 とオーバーラップしている。前段の走査電極 1 とのオーバーラップ部分が蓄積容量 7 (Cst) を構成する。また、画素電極 5 と当段の走査電極 1 のオーバーラップする部分が走査電極-画素電極間容量 Cgd を構成する。

図 32 に示すように、共通電極 4 には分枝部分 4A が形成されている。これは画素電極 5 と平行に対峙し、液晶層に電界を印加するための対向電極として働く。画素電極 5 と共通電極 4 の間の容量が、共通電極-画素電極間容量 C1c を構成するが、ここには液晶層を介した容量と、両電極が幾何学的にオーバーラップすることにより形成される容量の両方が含まれる。液晶層を介した容量は公式を用いて計算するのは困難であるが、実測で求めてもよいし、シミュレーションにより求めてもよい。

TFT 3 は半導体部分 9 と 3 つの電極から構成されており、ゲート電極は走査電極 1 に、ソース電極は映像信号配線 2 に、ドレイン電極は画素電極 5 に、それぞれ接続されている。

図 38 の回路構成の場合、隣接画素は図 32 のパターンが上下逆転したレイアウトになっている。

次に、本発明の第 1 の表示装置を以上の IPS モード液晶の表示装置に適用する場合の具体例について述べる。

図 5 は、本実施形態 5 の液晶表示装置の画素構成例を示す平面図、図 6 は TFT 部分の拡大図である。

図 5 において、1 は走査電極、2 は映像信号電極であり、3 は薄膜ト

ランジスタ (TFT)、5は画素電極である。51は対向電極であり、画素電極5との間に発生する電界によって液晶の配列が制御されて表示が行われる。対向電極51は共通電極52によって相互に接続されている。

- 5 画素電極5とTFTのゲート部53とがオーバーラップする部分がゲート・ドレイン間容量10を構成し、画素電極5と前段の走査電極1がオーバーラップする部分が蓄積容量7を形成している。図5および図6は、実施形態1と2で説明した液晶表示装置に対応するもので、ゲート・ドレイン間容量と蓄積容量の双方が、給電側より終端側で大きくされている。
- 10 いる。

ゲート・ドレイン間容量の増減は、TFTのチャネル幅 w とチャネル長 l を各画素で等しく保ちながら行うのが望ましい。こうすれば、各画素におけるTFTの特性を揃えて、さらに均一な表示を行うことができる。

- 15 具体的には、図5や図6に示すように薄膜トランジスタにおけるゲート部分の形状を変え、オーバーラップ部分の幅を給電側で小さく(幅 a)、終端側で大きく(幅 b)とすればよい。こうすれば、所望のゲート・ドレイン間容量を得るためのパターンを容易に設計できる。

(実施の形態6)

- 20 本実施形態6には、実施形態1から実施形態4の液晶表示装置をツイスト・ネマティック(TN)モードの表示に応用した例を示す。図7は、本実施形態6の液晶表示装置の画素構成例を示す平面図である。

図5との違いは、画素電極5が画素領域のほぼ全体を覆い、図示していないが対向基板には対向電極があり、これと画素電極5との間に発生する電界によって液晶の配列が制御されて表示が行われることである。

25 なお、TFT部分の拡大図は上記実施形態と同じく図6に示すものである。

る。

本実施形態 6 においても実施形態 5 と同様に、画素電極 5 と T F T のゲート部 7 3 とがオーバーラップする部分がゲート・ドレイン間容量 10 を構成し、画素電極 5 と前段の走査電極 1 がオーバーラップする部分
5 が蓄積容量 7 を形成している。実施形態 1 と 2 で説明した液晶表示装置に対応するようにゲート・ドレイン間容量と蓄積容量の双方が、給電側より終端側で大きくされている。

図 7 の構成においても、ゲート・ドレイン間容量の増減は、T F T のチャンネル幅 w とチャンネル長 l を各画素で等しく保ちながら行うのが望ましい。こうすれば、各画素における T F T の特性を揃えて、さらに均一
10 な表示を行うことができる。

具体的には第 5 の実施形態と同じく、図 7 や図 6 に示すように薄膜トランジスタにおけるゲート部分の形状を変え、オーバーラップ部分の幅を給電側で小さく（幅 a ）、終端側で大きく（幅 b ）とすればよい。こ
15 うすれば、所望のゲート・ドレイン間容量を得るためのパターンを容易に設計できる。

なお、実施形態 5 および実施形態 6 では、実施形態 1 および実施形態 2 の液晶表示装置に対応する画素の具体的構成について説明したが、これは実施形態 3 および実施形態 4 の液晶表示装置にも適用できる。

20 即ち、実施形態 3 あるいは実施形態 4 の液晶表示装置では、ゲート・ドレイン間容量と蓄積容量の双方を給電側より終端側で小さくする必要がある。図 5、図 6、図 7 の給電側と終端側の構成を逆転させて考えればよい。但し、それぞれの容量値については、これらの実施形態で説明したようにして定める必要がある。

25 （実施の形態 7）

本発明の第 2 の表示装置の実施形態を示す。本実施形態 7 の表示装置

は、画素電極と走査電極のうち当段の走査電極を除くものとの間に第 1 の蓄積容量を有し、画素電極と蓄積容量電極との間に第 2 の蓄積容量を有するものである。

図 8 は本発明の実施形態 7 における液晶表示装置の基本構成を示す図である。図において、1 は走査電極、2 は映像信号電極であり、その交点にはスイッチング素子としての薄膜トランジスタ (TFT) 3 が形成されている。TFT 3 のゲート電極は走査電極 1 に、ソース電極は映像信号配線 2 に、ドレイン電極は画素電極 5 に、それぞれ接続されている。

画素の容量は、3 つの容量 6・7・8 から構成されている。液晶容量 6 は液晶を介在して画素電極 5 と対向電極の間に形成され、この両端に印加された電圧により液晶が動作する。対向電極には対向電極電位 V_{cnt} が与えられている。

液晶容量 6 には、2 つの蓄積容量が並列に形成されている。これらの並列容量は、液晶容量 6 からの電荷が漏れた場合にこれを補償して、液晶の動作を安定化させる。第 1 の蓄積容量 7 は画素電極 5 と前段の走査電極 1 の間に形成され、第 2 の蓄積容量 8 は画素電極 5 と共通電極 4 の間に形成されている。また、図示されていないが TFT のゲートとドレインの間には、ゲート・ドレイン間容量 C_{gd} が存在する。

液晶表示装置はマトリクス状に配置された画素を持っているが、図 8 には n 行目の画素と周辺の電極配線を示し、他の部分は省略している。 $G(n-1)$ は $n-1$ 行目の走査電極、 $G(n)$ は n 行目の走査電極であり、 $COM(n-1)$ は $n-1$ 行目の共通電極、 $COM(n)$ は n 行目の共通電極である。また $S(1)$ は 1 列目の映像信号配線、 $S(p)$ は p 列目 (最終列) の映像信号配線である。

図 8 では対向電極と共通電極 4 とは別々に示されているが、IPS の場合は、対向電極と共通電極 4 とは同一に構成される。そして、画素電

極 5 と共通電極 4 が液晶を介して対向している部分が液晶容量 6 となり、画素電極 5 と共通電極 4 が絶縁層などをはさんで対向している部分が第 2 の蓄積容量 8 となる。

この液晶表示装置は、次に示すように駆動される。

- 5 各電極に与えられる駆動波形の形状は、従来の容量結合駆動と同様、図 3 5 に示すものである。即ち、まず n 行目の走査電極 $G(n)$ にオン電圧を印加して T F T を導通させて画素を充電し、次いで走査電圧をオフレベルにして T F T を非導通とし、その後前段の走査電極 $G(n-1)$ にステップ電圧を印加して第 1 の蓄積容量 7 を介した結合電圧を重畳する。
- 10 本実施形態 7 の液晶表示装置では、結合電圧を重畳するときに第 2 の蓄積容量 8 が液晶容量 6 の並列容量となるため、下向きの結合電圧が(数 2 6)、上向きの結合電圧が(数 2 7)で表される。これを考慮して各部の電圧を設定した。

(数 2 6)

$$15 \quad \alpha_{st1} \cdot Vg(+)$$

(数 2 7)

$$\alpha_{st1} \cdot Vg(-)$$

ここで、 α_{st1} は第 4 の容量比であり、 $\alpha_{st1} = (C_{st1} / C_{tot})$ である。

- 20 なお、 C_{tot} は画素電極に接続された全容量であり、通常、 $C_{st1} + C_{st2} + C_{gd} + C_{lc}$ となるが、画素電極にそれ以外の容量がある場合には、当該容量も含むものである。また、ゲート・ドレイン間容量 (C_{gd}) に並列に形成された容量成分も C_{gd} に含めることとする。

- 本実施形態 7 の液晶表示装置の特徴は、従来は各画素に 1 つずつ配置
25 されていた蓄積容量を 2 つに分けて、その一方を共通配線上に、他方を前段走査配線上に形成したことで、前段走査配線上の蓄積容量を用いた

容量結合駆動を行っていることにある。この結果、以下の効果を得ることができる。

(1) 画素電圧に結合電圧を重畳することによる映像信号電圧の低電圧化、および駆動電力の低減

- 5 (2) 走査線時定数の影響に起因する走査線給電端からの距離に応じた画素充電時間の減少および再充電時間の増加の低減。

つまり、画素充電時間を長く保ち、再充電時間を短く低減することができ、画素充電不足による輝度むらや、画素再充電のばらつきによるフリッカを少なくすることができる。

- 10 図9は、パネルサイズの増大に伴う終端画素の輝度低下の度合いを示した図である。パネル全面に白表示を行った場合に給電端画素の輝度を100%として、終端画素の輝度をシミュレーションした結果を示している。

- 画素数は、720(縦)×1280(横)であり、従来構成の液晶表示装置を容量結合駆動した場合と、本発明の液晶表示装置を容量結合した場合が比較されている。蓄積容量(の和)は両者で等しいものとした。また、本発明の液晶表示装置のデータは一例として、蓄積容量を半分に分けて、一方を共通配線上に、他方を前段走査配線上に形成した場合を示している。

- 20 従来の液晶表示装置では、対角15型(381mm)付近で終端画素の輝度が95%になって表示むらが目立ち始めるが、本発明の液晶表示装置を用いることにより、対角27型(686mm)まで均一な表示を行うことができる。また、走査波形歪の低減により、容量カップリング現象によるフリッカの発生も抑制される。

- 25 本実施形態7の液晶表示装置は高解像度の液晶表示装置に対しても有効である。液晶表示装置の解像度が増すと1走査線当たりの充電時間が

減少する。この場合にも走査電極の終端側で充電不足となり、大型化と同様の表示むらが発生する。本実施形態 7 の液晶表示装置は、上記と同様の原理により走査配線の時定数を低減し、終端画素の実効的な充電時間を延ばして画素充電時間を長く保ち、画素充電不足による輝度むらを低減できる。

さらに、本実施形態 7 の液晶表示装置は再充電時間を短く低減することができるので、画素再充電のばらつきによるフリッカも低減することができる。

(実施の形態 8)

10 実施形態 7 で説明した本発明の第 2 の表示装置の構成は、特にイン・プレーン・スイッチングモードなど、液晶容量の小さい表示方式に適用するのが好適である。以下、図面を用いて実施形態 8 について説明する。

図 10 は本実施形態 8 に係る液晶表示装置の断面図であり、図 11 は 1 画素の平面構成を示すものである。図 10 の中央部は、図 11 の A -
15 A' 線に沿った断面構造を示している。

図 10 において、11 と 12 はガラスなどからなる基板であり、11 は薄膜トランジスタやそれに接続された電極が形成されたアレイ基板、12 はそれに対向する対向基板である。2 つの基板の間には液晶 13 が挟持され、その両端はシール 17 により封止されている。14 と 15 は
20 偏光表示を行うための偏光板、19 はカラー表示を行うためのカラーフィルターである。カラーフィルターは対向基板 12 の側に形成されているが、アレイ基板 11 の側に形成してもかまわない。

アレイ基板 11 の上には、第 1 の導電層により走査電極 1 と共通電極 4 が形成され、その上を絶縁膜 18 が覆っている。絶縁膜 18 の上にあ
25 る第 2 の導電層により画素電極 5 が形成されている。図 11 に示すように、画素電極 5 は共通電極 4 および前段の走査電極 1 とオーバーラップ

している。前段の走査電極 1 とのオーバーラップ部分が第 1 の蓄積容量 7 を、共通電極 4 とのオーバーラップ部分が第 2 の蓄積容量 8 を構成する。

図 11 に示すように、共通電極 4 には分枝部分 4A が形成されている。

- 5 これは画素電極 5 と平行に対峙し、液晶層に電界を印加するための対向電極として働く。すなわち、図 8 における共通電極 4 と対向電極は同一のものである。また、TFT 3 は半導体部分 9 と 3 つの電極から構成されており、ゲート電極は走査電極 1 に、ソース電極は映像信号配線 2 に、ドレイン電極は画素電極 5 に、それぞれ接続されている。
- 10 液晶容量が小さい場合に従来の構成を用いて容量結合駆動を行うと、前段の走査電極の電位変動が画素電極電位に影響し、これが横筋となって表示品位が損なわれることがある。即ち、従来の蓄積容量を分割しない場合の第 2 の容量比 α_{st} である、 $C_{st}/(C_{st}+C_{gd}+C_{lc})$ が 1
- 15 バラツキが、そのまま画素電極電位のバラツキとなってしまふ。また、電源変動などにより走査電位のオフレベルが変動すると、それが直接に画素電極電位に影響する。

- しかし、本実施形態 8 の構成を用いれば、第 2 の蓄積容量 C_{st2} が液晶容量 C_{lc} の並列容量として働くので、(数 26) や (数 27) における、第 4 の容量比 α_{st1} の値を適度なものに調整することができ、前段
- 20 の走査電極の電位変動が画素電極電位に及ぼす影響を緩和して横筋の発生を抑えることができる。

- I PS モードの液晶の電気-光学特性は、2.5 ボルト程度の電圧幅で暗状態から明状態に変化する。階調表示は、8 ビット即ち 256 階調
- 25 で行われるのが通常であり、1 階調当たりの電圧幅は 10 mV 程度である。一方、走査側駆動 IC のオンオフ出力電圧幅は 20 から 30 ボルト

程度であり、0.1パーセントの偏差が20～30mVに相当する。そこで、 $Cst1 / (Cst1 + Cst2 + Cgd + Clc)$ の値を0.5以下、望ましくは0.3以下にすれば、走査側駆動ICの0.1パーセントの出力偏差を1階調の電圧幅より小さくすることができ、横筋として見えなく
5 することができる。

本発明の構成をIPSモードに用いる場合、さらに次のような効果もある。IPSモードは、現在広く用いられているツイストネマティックモードに比べて液晶容量が10分の1程度である。このため、画素電極電位の安定化のためには、TN型より大きな蓄積容量が必要となる。こ
10 れを走査電極上あるいは共通電極上のいずれか一方にのみ形成しようとすると、場合によっては面積が不足して線幅を広げる必要が生じ、開口率の低下を招く。

本実施形態8の構成を用いれば、開口率の低下を招くことなく、十分な蓄積容量を形成して画素電極電位変動を防止できるので、明るく高品
15 位な表示を行うことができる。

なお、本実施形態8で説明した効果は、TN型より大幅に液晶容量が小さい方式であればどのような方式でも発揮される。例えば、図12の
(a)のように画素電極21と対向電極22が同一基板23上にある構成、(b)や(c)のように対向電極22を対向基板24に形成して基
20 板に平行な電界あるいは斜め方向の電界で液晶を動作させる構成である。これらは、液晶25に電界を印加するための画素電極21と対向電極22が平行平板容量を形成しておらず、図12(d)のTN型に比べて液晶容量が小さい。このようなものであれば、対向電極がアレイ基板23の側にある場合でも、対向基板24の側にある場合でも、実施形態7で
25 説明した効果に加えて、実施形態8で説明した効果を得ることができる。

(実施の形態9)

実施形態 9 にかかる本発明の第 2 の表示装置は、実施形態 7 の表示装置において、(数 2 8) で定義される第 3 の容量比 $\alpha_{gd1} = C_{gd} / C_{tot}$ が、走査電極の給電端からの距離に応じて連続的にまたは段階的に増加するように構成したものである。

- 5 一例として、図 8 に示す液晶表示装置において、第 3 の容量比 α_{gd1} を走査電極の給電端から終端に向かって徐々に大きくしていったものである。

(数 2 8)

$$\alpha_{gd1} = C_{gd} / C_{tot}$$

- 10 ここで、 C_{tot} は画素電極に接続される全容量であり、通常、 $C_{st1} + C_{st2} + C_{gd} + C_{lc}$ となるが、画素電極にそれ以外の容量がある場合には、当該容量も含むものである。また、ゲート・ドレイン間容量 (C_{gd}) に並列に形成された容量成分も C_{gd} に含めることとする。

- 図 1 3 は、その構成の一例を示すものであり、画素電極 5 の形状を変えることにより、第 1 の蓄積容量 7 (C_{st1}) と第 2 の蓄積容量 8 (C_{st2}) の大きさが給電側で大きく、終端側で小さくされている。 C_{st1} と C_{st2} は (数 2 8) の分母にあるので、第 3 の容量比 α_{gd1} は給電端で小さく、終端で大きくなる。

- 従来技術の課題として説明した図 4 1 のように、薄膜トランジスタを用いた液晶表示装置で走査電圧に歪が生じると、充電が完全に行われた場合でも、再充電現象により画素電圧に不均一が生じる。

- つまり、図 4 1 下段左に示すように、ゲート電位をオン状態にして画素を電位 V_s に充電した後、ゲート電圧の立下り時の容量カップリングの影響により、突き抜け電位が発生し、画素電極電位は (数 2 9) で示される ΔV_{al} だけ低下する。

(数 2 9)

$$\Delta V_{al} = \alpha_{gd1} \cdot \Delta V_{gon}$$

ここで、 $\Delta V_{gon} = (V_{gon} - V_{goff})$

ゲート電位波形に歪のない給電端では、すぐに薄膜トランジスタがオフ状態となり画素電極電位 V_d は $V_s - \Delta V_1$ に落ち着く。

- 5 しかし、走査電極から供給されるゲート電位波形が、終端では配線時定数の影響により歪んでいるので、図 4 1 中段に示すように薄膜トランジスタがオフ状態になるまでに Δt の時間が必要となり、この Δt の間に画素電極電位 V_d は V_s に向かって再び充電され、突き抜け電位 ΔV_{al} が一部打ち消され、図 4 1 下段右のように $\Delta V_{al}'$ だけ高い電位となる。
- 10 この結果、画素電極電位 V_d の DC レベルが給電端と終端でずれ、フリッカ現象を初めとする表示むらが生じる。

- これに対し本実施形態 9 の液晶表示装置によれば、(数 2 8) で定義される第 3 の容量比 α_{gd1} を走査電極の終端側で大きくすることによって、(数 2 9) の ΔV_{al} が終端で大きくなるように設定している。具体的には図 1 4 に示すように、終端でのゲート電圧立下り時の容量カップリングによる電位の低下 (図 1 4 の下段右において点線で示した曲線 a) が給電端よりも丁度 $\Delta V_{al}'$ だけ大きくなるように設定する。従って、図 1 4 下段右に示すように、終端における Δt 間の再充電による画素の電位変化 $\Delta V'$ を差し引くと終端での画素電極電位は給電端での画素電極電位と等しくなるところで落ち着く。このように、画素電極電位が最終的に到達するレベルが給電端と終端で等しくなって、フリッカを初めとするむらが生じず、均一な表示を行なうことができる。第 3 の容量比 α_{gd1} を変化させる度合いは、各部電圧波形のコンピュータシミュレーションなどにより求めることができる。
- 15 20 25

- なお、上記の説明では、第 1 の蓄積容量 (C_{st1}) と第 2 の蓄積容量 (C_{st2}) の双方を給電側で大きく終端側で小さくしたが、これは必ず

れか一方でも構わない。また、ゲート・ドレイン間容量 (C_{gd}) を給電側で小さく終端側で大きくしても同様の効果が得られるし、これを上記に説明した蓄積容量の変化と組み合わせることもできる。

ゲート・ドレイン間容量 (C_{gd}) を変化させるには、例えば、図 1 3
5 において T F T のゲートとドレインの重なり部分 3 1 の面積を変えればよい。

要は、(数 2 8) 中にある、第 1 の蓄積容量 (C_{st1})、第 2 の蓄積容量 (C_{st2})、ゲート・ドレイン間容量 (C_{gd})、液晶容量 (C_{lc}) の少なくとも 1 つを、終端側の α_{gd1} が大きくなるように変化させればよい。

10 (実施の形態 1 0)

本実施形態 1 0 にかかる本発明の第 2 の表示装置は、実施形態 9 で説明した液晶表示装置において、さらに (数 3 0) で定義される第 4 の容量比 α_{st1} が同一走査電極上にある画素で一定となるように、各画素の容量値を設定したものである。

15 (数 3 0)

$$\alpha_{st1} = C_{st1} / C_{tot}$$

ここで、 C_{tot} は画素電極に接続される全容量であり、通常、 $C_{st1} + C_{st2} + C_{gd} + C_{lc}$ となるが、画素電極にそれ以外の容量がある場合には、当該容量も含むものである。また、ゲート・ドレイン間容量 (C_{gd}) に並列に形成された容量成分も C_{gd} に含めることとする。

図 1 5 と図 1 6 は、前段走査電極上の蓄積容量を介して容量結合駆動を行なう場合のゲート電位 (走査電極電位) と画素電極電位の時間変化を示したものである。ゲート電位は当画素に接続された T F T のもの (当段) と、容量結合に関するもの (前段) の両者が記されている。画素電
25 圧は上下に隣接する画素でその極性が反転されているものとし、当段の画素が正電位に充電される奇数フレームの電位変化を図 1 5 に、これと

は電圧極性が反転された偶数フレームの電位変化を図16に示している。

これらの図において、画素は正の充電期間には $V_s(+)$ に、負の充電期間には $V_s(-)$ に一旦充電される。次いで当該ゲート電圧が立下る時に、画素電極電位は下向きの結合電圧（図15の ΔV_1 や図16の $\Delta V_1'$ ）により変化するが、この変化量は実施形態9で説明した構成により、走査電圧の給電側と終端側で最終的には同一レベルになる。

前段ゲート電位がステップ状に変化すると、第1の蓄積容量を介して結合電圧 V_2 または V_2' が画素電極電位に重畳される。これは、前段ゲート電位の変化量に（数30）に示す第4の容量比 α_{st1} を掛けたものになる。

実施形態9に示した構成では、（数28）を構成する4つの容量を終端側の α_{gd1} が大きくなるように変化させている。例えば、4つの容量のうち1つだけを変化させてこのようにすると、給電端側画素と終端側画素で（数30）の第4の容量比 α_{st1} が異なり、画素電極電位に重畳される結合電圧 V_2 や V_2' に差が生じて、新たな表示むらが引き起こされてしまう。

本実施形態10では、上記の4つの容量のうち少なくとも2つを、給電端側画素から終端画素に向けて変化させ、（数28）の α_{gd1} が給電端から終端に向かって徐々に大きくなるようにし、かつ（数30）の α_{st1} が一定となるようにしている。これにより、画素電極電位に重畳される結合電圧 V_2 や V_2' を画素の位置によらず一定とし、実施形態9の液晶表示装置に比べて、さらに均一な表示を行うことができる。

一例として、第1の蓄積容量（ C_{st1} ）と第2の蓄積容量（ C_{st2} ）の双方を、給電側で大きく、終端側で小さくする図13の構成を考える。

まず、実施形態9で説明したように、 C_{st1} と C_{st2} の和を終端側に向かって小さくしていく。ゲート・ドレイン間容量（ C_{gd} ）と液晶容量（ C

1c) が蓄積容量に比べて十分に小さく (数 30) において C_{gd} と C_{lc} が無視できる場合、 C_{st1} と C_{st2} の比が一定であるようにこの和を配分すれば、(数 30) の α_{st1} の値を一定に保ちながら (数 28) の α_{gd1} を終端側に向かって徐々に大きくすることができる。また、 C_{gd} や C_{lc} が無視できない場合には、これらを考慮して C_{st1} と C_{st2} の配分比を決めればよい。

なお、このような構成は C_{st1} と C_{st2} の組に限るわけではない。例えば、 C_{gd} と C_{st1} の組を用いることもでき、両者の和が一定になるようにしながら、給電端から終端に向かって C_{gd} を小さく、 C_{st2} を大きくしていても同様の効果を得ることができる。さらに 3 つあるいは 4 つの容量を画素ごとに変化させてもよい。

(実施の形態 11)

実施形態 11 にかかる本発明の第 2 の表示装置では、実施形態 9 で述べた、第 3 の容量比 $\alpha_{gd1} = C_{gd} / C_{tot}$ が、走査電極の給電端からの距離に応じて連続的にまたは段階的に増加する構成、実施形態 10 で述べた、第 4 の容量比 α_{st1} が同一走査電極上にある画素で一定となるように各画素の容量値を設定した構成のさらなるバリエーションについて述べる。

第 1 のバリエーションは、第 1 の蓄積容量 C_{st1} と第 2 の蓄積容量 C_{st2} を、両者の比を一定に保って、走査電極の給電端からの距離に応じて減少させた例である。これは、(数 28) の第 3 の容量比 α_{gd1} を給電端からの距離に応じて増加させる構成である。

この構成によれば、どちらか一方のみを増加させる場合に比べて、(数 30) の α_{st1} の値が変化しにくく、結合電圧のむらが生じにくいという利点がある。

第 2 のバリエーションは、ゲート・ドレイン間容量 C_{gd} を走査電極

の給電端からの距離に応じて増加させるものである。これも（数 28）の第 3 の容量比 α_{gd1} を給電端からの距離に応じて増加させる構成である。

5 ゲート・ドレイン間容量 C_{gd} は他の容量に比べて小さいので、この構成も（数 30）の第 4 の容量比 α_{st1} の値が変化しにくく、結合電圧のむらが生じにくいという利点がある。

第 3 のバリエーションは、第 1 の蓄積容量 C_{st1} と第 2 の蓄積容量 C_{st2} の双方を、（数 30）の第 4 の容量比 α_{st1} の値を一定に保つように、走査電極の給電端からの距離に応じて減少させるものである。（数 2
10 8）の第 3 の容量比 α_{gd1} は自動的に給電端からの距離に応じて増加する。

この構成は変化させる容量が 2 つであるため簡便であり、かつ、第 2 の実施形態で説明したように、比較的分かりやすい方法で各容量の値を定めることができる。

15 第 4 のバリエーションは、ゲート・ドレイン間容量 C_{gd} および第 1 の蓄積容量 C_{st1} を、走査電極の給電端からの距離に応じて増加させるものである。容量の値は（数 30）の第 4 の容量比 α_{st1} の値を一定に保つように定めた。（数 28）の第 3 の容量比 α_{gd1} は自動的に給電端からの距離に応じて増加する。この構成も、変化させる容量が 2 つであるため簡便である。
20

第 5 のバリエーションは、ゲート・ドレイン間容量 C_{gd} を走査電極の給電端からの距離に応じて増加させ、第 2 の蓄積容量 C_{st2} を走査電極の給電端からの距離に応じて減少させた。容量の値は（数 30）の第 4 の容量比 α_{st1} の値を一定に保つように定めた。

25 この構成も、変化させる容量が 2 つであるため簡便である。また、ゲート・ドレイン間容量 C_{gd} と第 2 の蓄積容量 C_{st2} の和を一定に保てば

(数 30) の第 4 の容量比 α_{st1} の値が一定に保たれるので、容量の決定が簡単であるという特長もある。

(実施形態 12)

本発明の第 3 の表示装置の実施形態を示す。本発明の第 3 の表示装置
5 は、信号電圧の極性反転駆動の方式を採用した構成において、奇数フレーム、偶数フレーム両者間でトランジスタスイッチングタイミングがずれることに起因する表示むらを低減し、また、カラム反転、ドット反転方式を採用し、画素電極へ印加される信号電位が正方向であるか負方向であるかの違いにより、トランジスタスイッチングタイミングがずれる
10 ことに起因する表示むらを低減したものである。

図 38 および図 39 に示したようなカラム反転、ドット反転方式による構成を検討すると、次の [1] と [2] の問題があることが分かった。

[1] 図 38 中の画素 P と画素 Q は構造的には鏡面对称であるが、動作的には必ずしも対称ではない。なぜなら、図 39 のように走査方向を上から下への方向と規定すると、ある走査電極が選択されるときに補償電位になる走査電極は画素 P の場合は走査方向に対して後側、画素 Q の場合は走査方向に対して前側という違いがあるからである。この差によって両画素での画素電極保持電位が僅かに異なり、液晶に印加される電圧実効値が異なり、その結果表示輝度の差が発生する。これは 1 列毎の
20 輝度の濃淡パターンであるので縦方向のスジ（縞模様）として観察される。

[2] 図 38 の画素構造をもつ液晶表示装置と、図 37 の画素構造をもつそれを実際に駆動させて比較観察した場合、前者のほうがフリッカや面内での輝度ムラが顕著に発生することが結果明らかになった。

25 まず、上記 [1] の原因を解析する。

図 38 において、走査電極 G1 が選択されるときに、奇数フレームに

においては画素Pは正に、画素Qは負に充電される。一方、偶数フレーム
 では画素Pが負に、画素Qが正に充電される。そして、図39の波形で
 走査電極G1の V_{gon} からの立ち下がりの部分に注目し、奇数フレーム
 および偶数フレームでの走査電極電位波形を重ねて描くと図42のよう
 5 になる。偶奇フレームで波形の立ち下がり先が異なる ($V_{ge}(+)$ および
 $V_{ge}(-)$) ことにより、仮に変化の時定数が同じであっても波形自体が異
 なったものになる。また、スイッチング閾値電圧は正に充電された場合
 と負に充電された場合とで異なり、同図で示したレベルで表される。こ
 れらを基にして、画素Pおよび画素Qでの奇数フレームおよび偶数フレ
 10 ームでの再充電電流発生期間を示すと同図のように表される。4通りの
 再充電発生期間がすべて異なるので、再充電電圧 ΔV_b もすべて異なる
 ことになる。

いま、画素Pおよび画素Qの正充電時および負充電時の再充電電圧を
 $\Delta V_b(P, +)$ 、 $\Delta V_b(P, -)$ 、および $\Delta V_b(Q, +)$ 、 $\Delta V_b(Q, -)$ とすると、同図か
 15 らわかるように、(数31) のような大小関係があることがわかる。

(数31)

$$\Delta V_b(P, +) > \Delta V_b(Q, +)$$

$$\Delta V_b(Q, -) > \Delta V_b(P, -)$$

$$\Delta V_b(Q, -) - \Delta V_b(P, -) > \Delta V_b(P, +) - \Delta V_b(Q, +)$$

20 これは、走査電極波形の立ち下がり曲線の違いによって発生する関係
 式である。

さて、画素Pおよび画素Qの正充電時および負充電時の画素電極保持
 電位を $V_{do}(P, +)$ 、 $V_{do}(P, -)$ 、および $V_{do}(Q, +)$ 、 $V_{do}(Q, -)$ 画素電極保持
 電位とすると、上述の再充電の効果を加えて、(数32) のように表せ
 25 る。

(数32)

$$V_{do}(P, +) = V_{sig}(+) - \alpha_{st} \Delta V_{ge}(-) - \alpha_{gd} \Delta V_{gon} + \Delta V_b(P, +)$$

$$V_{do}(P, -) = V_{sig}(-) - \alpha_{st} \Delta V_{ge}(+) - \alpha_{gd} \Delta V_{gon} + \Delta V_b(P, -)$$

$$V_{do}(Q, +) = V_{sig}(+) - \alpha_{st} \Delta V_{ge}(-) - \alpha_{gd} \Delta V_{gon} + \Delta V_b(Q, +)$$

$$V_{do}(Q, -) = V_{sig}(-) - \alpha_{st} \Delta V_{ge}(+) - \alpha_{gd} \Delta V_{gon} + \Delta V_b(Q, -)$$

- 5 正充電と負充電での画素電極保持電位の差の半分が液晶に印加される電圧の実効値であり、画素Pと画素Qのそれぞれについて $V_{eff}(P)$ 、 $V_{eff}(Q)$ で表すと、(数33)のようになる。

(数33)

$$V_{eff}(P)$$

$$10 = \{ [V_{sig}(+) - V_{sig}(-)] + \alpha_{st} V_{ge} + [\Delta V_b(P, +) - \Delta V_b(P, -)] \} / 2$$

$$V_{eff}(Q)$$

$$= \{ [V_{sig}(+) - V_{sig}(-)] + \alpha_{st} V_{ge} + [\Delta V_b(Q, +) - \Delta V_b(Q, -)] \} / 2$$

但し、 V_{ge} は(数34)で表される。

(数34)

$$15 \quad V_{ge} = \Delta V_{ge}(+) - \Delta V_{ge}(-) = V_{ge}(+) - V_{ge}(-)$$

(数33)の両式を比較したときに、違う値になるのは再充電電圧に関する項のみであり、(数31)の第1式、第2式を考えると(数35)の関係式があることがわかる。

(数35)

$$20 \quad V_{eff}(P) > V_{eff}(Q)$$

このように、両画素で液晶印加電圧の実効値が異なることになり、画素の輝度が異なって、縦スジとして観測されることになる。

次に、上記[2]の原因を解析する。

- この原因を解明するためには、共通電極電位の変動を考慮しなければ
25 ならないことがわかった。いま、隣接する2画素の構造を抜き出して描くと図17のようになる。充電が完了して走査電極電位が立ち下がると

- きに、画素Pの画素電極電位は突き抜けにより低下する。しかし、同時に画素QのCstおよびC1cによって作られる走査電極(G1) - 対向電極(COM)間の容量結合(矢印で示す)により、対向電極の電位が低下する(G-COM間の容量バスとして、画素PのCgd-C1cも考えられるが、
- 5 CgdはCstおよびC1cに比べれば十分小さいので、大きな寄与にはならない)。この電位低下は共通電極の電位固定端に近い画面周辺部では小さいが、電位固定端から遠い部分では大きくなる。対向電極電位が低下するとそれに引っ張られて画素Pの画素電極電位もさらに低下する。
- すると、対向電極電位が全く変化しない場合に比べて大きい再充電電流
- 10 が画素Pの画素電極に向けて流れる。従って、画面中央での画素電極保持電位が端部に比べて非常に大きくなり、フリッカや輝度傾斜が発生する原因となる。これは図17の回路的な構成そのものに起因して発生するものであり、従来例の図37のようなパターンではそれほど顕著に発生しないものである(図37のパターンでは走査電極と共通電極の間に
- 15 Cst-C1cのような大きな容量による結合はない)。

フリッカと輝度傾斜について数式的に説明すると次のようになる。いま、(数3.2)で画素Pと画素QのDC平均レベルVdcと平均実効値Veffを計算すると(数3.6)のようになる。

(数3.6)

$$\begin{aligned}
 20 \quad V_{dc} &= \{V_{do}(P, +) + V_{do}(P, -) + V_{do}(Q, +) + V_{do}(Q, -)\} / 4 \\
 &= \{V_{sig}(+) + V_{sig}(-)\} / 2 - \alpha_{st} \Delta V_{gec} - \alpha_{gd} \Delta V_{gon} \\
 &\quad + \{\Delta V_b(P, +) + \Delta V_b(P, -) + \Delta V_b(Q, +) + \Delta V_b(Q, -)\} / 4 \\
 V_{eff} &= \{V_{do}(P, +) - V_{do}(P, -) + V_{do}(Q, +) - V_{do}(Q, -)\} / 4 \\
 &= \{V_{sig}(+) - V_{sig}(-)\} / 2 + \alpha_{st} V_{gep} / 2 \\
 25 \quad &\quad + \{\Delta V_b(P, +) - \Delta V_b(P, -) + \Delta V_b(Q, +) - \Delta V_b(Q, -)\} / 4
 \end{aligned}$$

但し、 ΔV_{gec} は(数3.7)で表される。

(数 3 7)

$$\Delta V_{gec} = \{\Delta V_{ge}(+) + \Delta V_{ge}(-)\} / 2 = \{V_{ge}(+) + V_{ge}(-)\} / 2 - V_{goff}$$

(数 3 6) の第 1 式は、画素電極電位の実効的な平均値が V_{dc} であり、共通電極の電位をこれと同じ電位にすれば液晶に印加される電圧の時間
 5 平均値が 0 になり、フリッカが見えなくなることを示している。
 しかし、今のように、 $\Delta V_b(P, +)$ 、 $\Delta V_b(P, -)$ 、および $\Delta V_b(Q, +)$ 、 $\Delta V_b(Q, -)$ が画面端部と中央で異なり、従って V_{dc} の値も異なる場合、画面端部と中央で同時にフリッカをなくすことは不可能である。すなわち、全面でフリッカをなくすことができず、画面上のどこかではフリッカが残ることが理解できる。(数 3 6) の第 2 式は $\Delta V_b(P, +)$ 、 $\Delta V_b(P, -)$ 、および
 10 $\Delta V_b(Q, +)$ 、 $\Delta V_b(Q, -)$ が画面端部と中央で異なることにより、 V_{eff} も異なり、輝度傾斜が発生するということを示している。

以上の分析を行った上で、これらの縦スジ、輝度傾斜、およびフリッカをなくすための手段を見いだした。これが本発明の第 3 の表示装置の
 15 基本的な考えであり、画素 P と画素 Q の間で α_{st} および α_{gd} の値に差をつけ、かつこれらに画面内で傾斜をもたせるというものである。以下、実施形態 1 2 の表示装置の構成例および動作例について説明する。

いま、 α_{st} および α_{gd} が画素 P と画素 Q で異なるとし、かつ画面内でもその値が一定でない（すなわち、 C_{gd} 、 C_{st} 、および C_{lc} が一定
 20 でない）とする。そして、画面端部と中央での画素 P および画素 Q における α_{st} および α_{gd} を代表させてそれぞれ $\alpha_{st}(P, 0)$ 、 $\alpha_{st}(P, E)$ 、 $\alpha_{st}(Q, 0)$ 、 $\alpha_{st}(Q, E)$ 、および $\alpha_{gd}(P, 0)$ 、 $\alpha_{gd}(P, E)$ 、 $\alpha_{gd}(Q, 0)$ 、 $\alpha_{gd}(Q, E)$ で表すとする。ここで 0 は画面端部、E は画面中央であることを示している。端部 (0) と中央 (E) の間では、 α_{st} および α_{gd} は 0 と E で
 25 示した値の間で徐々に変化しているとする。

画素 P および画素 Q それぞれの画面端部および中央で、正および負に

充電される場合について、(数 3 2) を適用すると (数 3 8) の 8 個の式が得られる。

(数 3 8)

$$\begin{aligned}
 & V_{do}(P, 0, +) = V_{sig}(+) - \alpha_{st}(P, 0) \Delta V_{ge}(-) - \alpha_{gd}(P, 0) \Delta V_{gon} + \Delta V_b(P, 0, +) \\
 5 \quad & V_{do}(P, 0, -) = V_{sig}(-) - \alpha_{st}(P, 0) \Delta V_{ge}(+) - \alpha_{gd}(P, 0) \Delta V_{gon} + \Delta V_b(P, 0, -) \\
 & V_{do}(P, E, +) = V_{sig}(+) - \alpha_{st}(P, E) \Delta V_{ge}(-) - \alpha_{gd}(P, E) \Delta V_{gon} + \Delta V_b(P, E, +) \\
 & V_{do}(P, E, -) = V_{sig}(-) - \alpha_{st}(P, E) \Delta V_{ge}(+) - \alpha_{gd}(P, E) \Delta V_{gon} + \Delta V_b(P, E, -) \\
 & V_{do}(Q, 0, +) = V_{sig}(+) - \alpha_{st}(Q, 0) \Delta V_{ge}(-) - \alpha_{gd}(Q, 0) \Delta V_{gon} + \Delta V_b(Q, 0, +) \\
 & V_{do}(Q, 0, -) = V_{sig}(-) - \alpha_{st}(Q, 0) \Delta V_{ge}(+) - \alpha_{gd}(Q, 0) \Delta V_{gon} + \Delta V_b(Q, 0, -) \\
 10 \quad & V_{do}(Q, E, +) = V_{sig}(+) - \alpha_{st}(Q, E) \Delta V_{ge}(-) - \alpha_{gd}(Q, E) \Delta V_{gon} + \Delta V_b(Q, E, +) \\
 & V_{do}(Q, E, -) = V_{sig}(-) - \alpha_{st}(Q, E) \Delta V_{ge}(+) - \alpha_{gd}(Q, E) \Delta V_{gon} + \Delta V_b(Q, E, -)
 \end{aligned}$$

なお、ここで、例えば $V_{do}(i, j, \pm)$ ($i=P$ または Q 、 $j=0$ または E) という表記は、画素 i における位置 j ($j=0 \rightarrow$ 画面両端、 $j=E \rightarrow$ 画面中央) での正充電時 (+) または負充電時 (-) に関する量であるという意味である。 $V_{sig}(\pm)$ 、 $\Delta V_b(i, j, \pm)$ に関しても同様である。

従来例の場合は ΔV_b の値が画素 P と画素 Q 、あるいは画面中央と端部で異なっていたことにより、 V_{do} も同じように異なり、縦スジ、フリッカ、および輝度傾斜が発生していた。本発明では各 4 つずつの α_{st} および α_{gd} の値を独立に変化させることにより ΔV_b の値の違いを補正しようとするものである。いま、画面端部と中央における、画素 P と画素 Q の実効値差 $\Delta V_{eff}(0)$ および $\Delta V_{eff}(E)$ を (数 3 8) により計算すると、(数 3 9) になる。

(数 3 9)

$$\begin{aligned}
 \Delta V_{eff}(0) &= \{V_{do}(P, 0, +) - V_{do}(P, 0, -)\} / 2 - \{V_{do}(Q, 0, +) - V_{do}(Q, 0, -)\} / 2 \\
 25 \quad &= \{\alpha_{st}(P, 0) - \alpha_{st}(Q, 0)\} V_{gep} \\
 &\quad + \{\Delta V_b(P, 0, +) - \Delta V_b(P, 0, -) - \Delta V_b(Q, 0, +) + \Delta V_b(Q, 0, -)\} / 2
 \end{aligned}$$

$$\begin{aligned}\Delta V_{eff}(E) &= \{V_{do}(P, E, +) - V_{do}(P, E, -)\}/2 - \{V_{do}(Q, E, +) - V_{do}(Q, E, -)\}/2 \\ &= \{\alpha_{st}(P, E) - \alpha_{st}(Q, E)\} V_{gep} \\ &\quad + \{\Delta V_b(P, E, +) - \Delta V_b(P, E, -) - \Delta V_b(Q, E, +) + \Delta V_b(Q, E, -)\}/2\end{aligned}$$

また、同様に画素 P と画素 Q の DC 平均レベルの差 $\Delta V_{dc}(0)$ 、および
5 $\Delta V_{dc}(E)$ を計算すると (数 4 0) のようになる。

(数 4 0)

$\Delta V_{dc}(0)$

$$\begin{aligned}&= \{V_{do}(P, 0, +) + V_{do}(P, 0, -)\}/2 - \{V_{do}(Q, 0, +) + V_{do}(Q, 0, -)\}/2 \\ &= -\{\alpha_{st}(P, 0) - \alpha_{st}(Q, 0)\} \Delta V_{gec} - \{\alpha_{gd}(P, 0) - \alpha_{gd}(Q, 0)\} \Delta V_{gon} \\ &\quad + \{\Delta V_b(P, 0, +) + \Delta V_b(P, 0, -) - \Delta V_b(Q, 0, +) - \Delta V_b(Q, 0, -)\}/2\end{aligned}$$

10

$\Delta V_{dc}(E)$

$$\begin{aligned}&= \{V_{do}(P, E, +) + V_{do}(P, E, -)\}/2 - \{V_{do}(Q, E, +) + V_{do}(Q, E, -)\}/2 \\ &= -\{\alpha_{st}(P, E) - \alpha_{st}(Q, E)\} \Delta V_{gec} - \{\alpha_{gd}(P, E) - \alpha_{gd}(Q, E)\} \Delta V_{gon} \\ &\quad + \{\Delta V_b(P, E, +) + \Delta V_b(P, E, -) - \Delta V_b(Q, E, +) - \Delta V_b(Q, E, -)\}/2\end{aligned}$$

15

ここで、画面端部、および画面中央で縦スジをなくすためには (数 3 9) において $\Delta V_{eff}(0) = 0$ および $\Delta V_{eff}(E) = 0$ とすればよく、(数 4 1) を満たすように 4 つの α_{st} を選べばよい。

(数 4 1)

$\{\alpha_{st}(P, 0) - \alpha_{st}(Q, 0)\} V_{gep}$

20

$$\begin{aligned}&= -\{\Delta V_b(P, 0, +) - \Delta V_b(P, 0, -) - \Delta V_b(Q, 0, +) + \Delta V_b(Q, 0, -)\}/2 \\ &\quad \{\alpha_{st}(P, E) - \alpha_{st}(Q, E)\} V_{gep} \\ &= -\{\Delta V_b(P, E, +) - \Delta V_b(P, E, -) - \Delta V_b(Q, E, +) + \Delta V_b(Q, E, -)\}/2\end{aligned}$$

(数 3 1) の第 1 式、第 2 式で示したのと全く同様に考えれば (数 4 2) の関係が得られるので、(数 4 1) の右辺の { } 内は正の値になる。

25 V_{gep} は正なので、4 つの α_{st} は、(数 4 3) のようにすればよい。

(数 4 2)

$$\Delta V_b(P, 0, +) > \Delta V_b(Q, 0, +)$$

$$\Delta V_b(Q, 0, -) > \Delta V_b(P, 0, -)$$

$$\Delta V_b(P, E, +) > \Delta V_b(Q, E, +)$$

$$\Delta V_b(Q, E, -) > \Delta V_b(P, E, -)$$

5 (数 4 3)

$$\alpha_{st}(P, 0) < \alpha_{st}(Q, 0)$$

$$\alpha_{st}(P, E) < \alpha_{st}(Q, E)$$

ところで、以上では液晶印加電圧の実効値についての条件を述べたが、
つぎに DC 平均レベルについて考えてみる。いま、両画素での DC 平均レ
10 ベルが異なっている場合、共通電極電位を両者の DC 平均レベルの平均
値付近に設定すれば、仮に画素 P と画素 Q のそれぞれでフリッカがあっ
ても、両者は互いに逆相となるので互いにうち消しあい、巨視的に見れ
ばフリッカは観測されない。しかし、さらに高画質化するためには微視
的に見てもフリッカがないことが望ましい。すなわち、画素 P と画素 Q
15 の DC 平均レベルを一致させ、そこに共通電極電位をあわせることが望
ましい。このためには (数 4 0) で $\Delta V_{dc}(0) = 0$ 、 $\Delta V_{dc}(E) = 0$ であれ
ばよく、(数 4 4) を満たせばよい。

(数 4 4)

$$\begin{aligned} & \{ \alpha_{st}(P, 0) - \alpha_{st}(Q, 0) \} \Delta V_{gec} + \{ \alpha_{gd}(P, 0) - \alpha_{gd}(Q, 0) \} \Delta V_{gon} \\ 20 & = \{ \Delta V_b(P, 0, +) + \Delta V_b(P, 0, -) - \Delta V_b(Q, 0, +) - \Delta V_b(Q, 0, -) \} / 2 \\ & \{ \alpha_{st}(P, E) - \alpha_{st}(Q, E) \} \Delta V_{gec} + \{ \alpha_{gd}(P, E) - \alpha_{gd}(Q, E) \} \Delta V_{gon} \\ & = \{ \Delta V_b(P, E, +) + \Delta V_b(P, E, -) - \Delta V_b(Q, E, +) - \Delta V_b(Q, E, -) \} / 2 \end{aligned}$$

ところで、(数 3 1) の第 3 式を考慮すれば両式の右辺の { } 内は負
の値であることがわかる。よって、(数 4 5) および (数 4 6) で表さ
25 れるような $\beta(P, 0)$ 、 $\beta(Q, 0)$ および $\beta(P, E)$ 、 $\beta(Q, E)$ を定義すれば、(数
4 7) を満たすようにすればよい。

(数 4 5)

$$\beta(P, 0) = \alpha_{st}(P, 0) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(P, 0)$$

$$\beta(Q, 0) = \alpha_{st}(Q, 0) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(Q, 0)$$

(数 4 6)

$$5 \quad \beta(P, E) = \alpha_{st}(P, E) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(P, E)$$

$$\beta(Q, E) = \alpha_{st}(Q, E) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(Q, E)$$

(数 4 7)

$$\beta(P, 0) < \beta(Q, 0), \quad \beta(P, E) < \beta(Q, E)$$

次に、(数 3 6) で示した画素 P と画素 Q の DC 平均レベル Vdc および
 10 平均実効値 Veff の、画面端部と中央での差 ΔV_{dc} および ΔV_{eff} を計算
 すると、(数 4 8) になる。

(数 4 8)

$$\Delta V_{dc} = \{V_{do}(P, E, +) + V_{do}(P, E, -) + V_{do}(Q, E, +) + V_{do}(Q, E, -)\} / 4$$

$$- \{V_{do}(P, 0, +) + V_{do}(P, 0, -) + V_{do}(Q, 0, +) + V_{do}(Q, 0, -)\} / 4$$

$$15 \quad = - \{(\alpha_{st}(P, E) + \alpha_{st}(Q, E)) - (\alpha_{st}(P, 0) + \alpha_{st}(Q, 0))\} \Delta V_{gec} / 2$$

$$- \{(\alpha_{gd}(P, E) + \alpha_{gd}(Q, E)) - (\alpha_{gd}(P, 0) + \alpha_{gd}(Q, 0))\} \Delta V_{gon} / 2$$

$$+ \{\Delta V_b(P, E, +) + \Delta V_b(P, E, -) + \Delta V_b(Q, E, +) + \Delta V_b(Q, E, -)$$

$$- \Delta V_b(P, 0, +) - \Delta V_b(P, 0, -) - \Delta V_b(Q, 0, +) - \Delta V_b(Q, 0, -)\} / 4$$

$$\Delta V_{eff} = \{V_{do}(P, E, +) - V_{do}(P, E, -) + V_{do}(Q, E, +) - V_{do}(Q, E, -)\} / 4$$

$$20 \quad - \{V_{do}(P, 0, +) - V_{do}(P, 0, -) + V_{do}(Q, 0, +) - V_{do}(Q, 0, -)\} / 4$$

$$= - \{(\alpha_{st}(P, E) + \alpha_{st}(Q, E)) - (\alpha_{st}(P, 0) + \alpha_{st}(Q, 0))\} \Delta V_{gep} / 4$$

$$+ \{\Delta V_b(P, E, +) - \Delta V_b(P, E, -) + \Delta V_b(Q, E, +) - \Delta V_b(Q, E, -)$$

$$- \Delta V_b(P, 0, +) + \Delta V_b(P, 0, -) - \Delta V_b(Q, 0, +) + \Delta V_b(Q, 0, -)\} / 4$$

輝度傾斜をなくすためには $\Delta V_{eff} = 0$ であればよく、(数 4 9) を満
 25 たせばよい。

(数 4 9)

$$\begin{aligned} & \{(\alpha_{st}(P, E) + \alpha_{st}(Q, E)) - (\alpha_{st}(P, 0) + \alpha_{st}(Q, 0))\} \Delta V_{gep} \\ &= -\{\Delta V_b(P, E, +) - \Delta V_b(P, E, -) + \Delta V_b(Q, E, +) - \Delta V_b(Q, E, -) \\ & \quad - \Delta V_b(P, 0, +) + \Delta V_b(P, 0, -) - \Delta V_b(Q, 0, +) + \Delta V_b(Q, 0, -)\} \end{aligned}$$

ここで、図 4 2 に示した関係を考慮し、かつ画面中央のほうが端部に
5 比べて再充電の発生のしかたが顕著であることを考慮すれば、右辺の
{ } の中は負の値になることがわかる。従って、(数 5 0) のようにす
ればよいことがわかる。

(数 5 0)

$$\{\alpha_{st}(P, E) + \alpha_{st}(Q, E)\}/2 > \{\alpha_{st}(P, 0) + \alpha_{st}(Q, 0)\}/2$$

10 フリッカをなくすためには $\Delta V_{dc} = 0$ であればよく、(数 5 1) を満た
せばよい。

(数 5 1)

$$\begin{aligned} & \{(\alpha_{st}(P, E) + \alpha_{st}(Q, E)) - (\alpha_{st}(P, 0) + \alpha_{st}(Q, 0))\} \Delta V_{gec} \\ & + \{(\alpha_{gd}(P, E) + \alpha_{gd}(Q, E) - (\alpha_{gd}(P, 0) + \alpha_{gd}(Q, 0))) \Delta V_{gon} \\ 15 &= \{\Delta V_b(P, E, +) + \Delta V_b(P, E, -) + \Delta V_b(Q, E, +) + \Delta V_b(Q, E, -) \\ & \quad - \Delta V_b(P, 0, +) - \Delta V_b(P, 0, -) - \Delta V_b(Q, 0, +) - \Delta V_b(Q, 0, -)\}/2 \end{aligned}$$

ここで、再充電電圧は画面端部よりも中央で大きいことを考慮すれば、
右辺の { } 内は正であることがわかる。よって、(数 4 6) を考慮し、
(数 5 2) を満たすようにすればよい。

20 (数 5 2)

$$\{\beta(P, E) + \beta(Q, E)\}/2 > \{\beta(P, 0) + \beta(Q, 0)\}/2$$

以上のようにして、うまく α_{st} 、および β を選ぶことにより、縦スジ、
フリッカ、および輝度傾斜をなくすることができる。

以上をまとめると、図 1 7 の構造のアレイ構成で縦スジ、輝度傾斜、
25 およびフリッカをなくするための条件は次のように表せる。

[1] 縦スジをなくすための必要条件：(数 5 3)

(数 5 3)

$$\alpha_{st}(P) < \alpha_{st}(Q)$$

[2] 微視的に見てフリッカをなくすための必要条件 : (数 5 4)

(数 5 4)

5 $\beta(P) < \beta(Q)$

但し、 $\beta(P)$ 、 $\beta(Q)$ は(数 5 5)で表される。

(数 5 5)

$$\beta(P) = \alpha_{st}(P) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(P)$$

$$\beta(Q) = \alpha_{st}(Q) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(Q)$$

10 [3] 輝度傾斜をなくすための必要条件 :

$(\alpha_{st}(P) + \alpha_{st}(Q)) / 2$ の値が、画面端部より画面中央のほうが大きいこと

[4] (巨視的に見て) フリッカをなくすための必要条件 :

15 $(\beta(P) + \beta(Q)) / 2$ の値が、画面端部より画面中央のほうが大きいこと。なお、以上においては添字 0 および E を省略した形で表記している。

ところで、以上では画面端部と画面中央を代表点として扱ってきたが、画面端部と中央の間での、各位置での $\alpha_{st} = (\alpha_{st}(P) + \alpha_{st}(Q)) / 2$ および $\beta = (\beta(P) + \beta(Q)) / 2$ の変化のパターンとしては、様々なものが考えられる。その一例を図 18 に示す。各グラフは、横軸に画面上での水平位置をとり、縦軸に α_{st} の値を示している (α_{st} を例にとつて描いているが、 β についても同様)。最も考えやすいのは (a) のように直線的に変化するパターンである。また、(b) のように非線形な変化のしかたも考えられるし、あるいは (c) のように段階的に変化するという
25 もあり得る。あるいは (d) のように、一定の部分とある傾斜を有する部分が混在するというのも考え得る。いずれも、画面端部から離れるに

従って連続的に、または段階的に増加するという点では共通である。いずれのパターンであっても本発明の効果は得られる。

中でも、(b)のように曲線的に変化し、かつ $\alpha_{st} - \alpha_{st}(0)$ が、画面端からの距離の概略 2 乗に比例する場合が最も望ましい ($\alpha_{st}(0)$ は、画面端部での α_{st})。なぜならば、再充電電圧は走査電極電圧波形の変化の時定数、すなわち走査電極の CR 時定数に比例し、ある位置を基準にみたときの配線容量、および配線抵抗は共に画面端部からの距離の 2 乗に概略比例し、従って再充電電圧も画面端からの距離の概略 2 乗に比例するからである。 $\alpha_{st} - \alpha_{st}(0)$ を画面端からの距離の概略 2 乗に比例させることにより、画面上のすべての点において再充電電圧を補正することができ、輝度傾斜をなくすることができる。 β に関しても同様で、 $\beta - \beta(0)$ を画面端部からの距離の 2 乗に概略比例させることにより、フリッカをすべての点で激減させることができる。正確に 2 乗でなくても、1.2~2.8 乗程度であれば十分な効果は得られる。

15 なお、以上では走査電極は両側給電であるとして述べてきたが、片側給電の場合は、「画面中央」を「画面において、給電しない方の端部」と置き換えて読めばよい。

以上の方法を、イン・プレーン・スイッチング (IPS) モードの液晶について実施する場合の例について述べる。

20 次に、IPS モード液晶の表示装置で本発明を適用する場合の具体例について述べる。

図 19 に IPS モードの液晶を用いた本発明の表示装置の回路構成を示す。図 38 の画素構造がアレイ状に配列されていて、走査電極は画面左右端部で走査信号駆動回路から、映像信号電極は画面上部で映像信号駆動回路から給電される (図では、走査電極が両側給電の場合の例を示している。また、映像信号電極が両側給電であったり、1 列毎に上側/

下側交互に給電されていてもよい)。図19で、画面の左端と中央部分の画素を抜き出してレイアウトを描いたものが図20である。それぞれでの、画素Pおよび画素QのCstおよびCgdをCst(P,0)、Cgd(P,0)、Cst(Q,0)、Cgd(Q,0)、あるいはCst(P,E)、Cgd(P,E)、Cst(Q,E)、Cgd(Q,E)で表わしてあるが、レイアウト上、以下の特徴がある。

[1] 画面端部、および画面中央いずれにおいても、画素Pと画素QのCgdおよびCstの形状が同一でなく、容量値自体が異なったものになっている。特に、(数23)で定義される α_{st} および(数55)で定義される β は、画素Pに比べて画素Qの方が大きくなるようなレイアウトにしてある。

[2] 画面端部と画面中央を比べても、CstおよびCgdの形状が同一でなく、容量値自体も異なったものになっている。特に、(数23)で定義される α_{st} 、および(数55)で定義される $\beta(P)$ および $\beta(Q)$ から計算される $\{\beta(P) + \beta(Q)\} / 2$ は、画素端部よりも画素中央のほうが大きな値になっている。画素端部と画素中央の間ではCstあるいはCgdの形状が連続的に、あるいは段階的に変化し、 α_{st} 、および $\{\beta(P) + \beta(Q)\} / 2$ も連続的に、あるいは段階的に変化するようにしてある。

これらの特徴により、先に述べた原理に従って、縦スジ、フリッカ、および輝度傾斜が著しく低減される。

なお、本発明の表示装置においては、容量結合駆動をすることによって縦スジ、輝度傾斜、およびフリッカを同時になくすることができる。なぜならば、容量結合駆動のような補償期間を持たない駆動(すなわち、走査電極電位がVgonとVgoffの2値しか持たないような駆動。これは、図35や図39において $V_{ge}(+) = V_{ge}(-) = 0$ 、すなわち $\Delta V_{gec} = 0$ 、および $V_{gep} = 0$ になる場合であるとも考えられる)の場合、(数41)、(数44)、(数49)、あるいは(数51)において、 $\Delta V_{gec} = V_{gep} = 0$ で

あることによって α_{st} を含む項の係数が0になり、 α_{st} をどのように変化させても画素電極保持電位を補正することができないからである。

(実施形態13)

実施形態13にかかる本発明の第3の表示装置について述べる。回路
5 構成は図19と同じであるが、レイアウトは図21に示すとおりである。
この図においては、画素Pと画素Qの違いはあるが、(本発明の実施の
形態1)のような画面内の位置による C_{st} 、 C_{gd} の違いはなく、均一な
レイアウトになっている。このレイアウトの場合先に述べた原理によれ
ば、輝度傾斜、フリッカは改善されないものの、縦スジは十分低減され
10 る。

(実施形態14)

本発明の第3の表示装置のさらに別の実施形態について述べる。回路
構成は図19と同じであるが、レイアウトは図22に示すとおりである。
この図においては、画素Pと画素Qの違いは無いが、(本発明の実施の
15 形態1)と同様画面内の位置によって C_{st} 、 C_{gd} の違いがある。このレ
イアウトの場合先に述べた原理によれば、縦スジは改善されないものの、
輝度傾斜およびフリッカは十分低減される。

(実施形態15)

本発明の第3の表示装置のさらに別の実施形態について述べる。回路
20 構成は、従来例で述べた図37に相当するものであり、図23のような
レイアウトで表される。この構成の場合、ライン反転またはフィールド
反転駆動となる。また、列毎にレイアウトが反転しているわけではない
ので、縦スジは発生しない。 C_{st} と C_{gd} の傾斜がなく画面内で容量値
が均一な場合(従来構成)では、画面中央へ行くに従って走査電極波
25 形のなまりは顕著になるので、輝度傾斜とフリッカは少ないながらも発
生する。しかし、この場合もこれらの容量値を画面内で変化させれば、

原理説明のところで述べたことと同様のことがいえて、フリッカおよび輝度傾斜を低減させることができる。

なお、数式的に言えば、(本発明の原理説明)のところで画素 P と画素 Q の区別がなくなると考えればよく、単に $\alpha_{st}(P) = \alpha_{st}(Q) \rightarrow \alpha_{st}$ 、
5 あるいは $\beta(P) = \beta(Q) \rightarrow \beta$ と置き換えて考えればよい。輝度傾斜およびフリッカに関する [3] および [4] の条件は、以下の [3'] および [4'] と言い換えればよいことになる。

[3'] 輝度傾斜をなくすための必要条件：

α_{st} の値が、画面端部より画面中央のほうが大きいこと

10 [4'] (巨視的に見て) フリッカをなくすための必要条件：

β の値が、画面端部より画面中央のほうが大きいこと

図 23 のレイアウトはこの条件に従ったものになっている。

(実施形態 16)

本発明の第 3 の表示装置のさらに別の実施形態について述べる。

15 以上までに述べてきた IPS モードの構成とは異なり、TN (ツイステッド・ネマティック) 液晶を用いた構成である。この構成を図 24 に示す。IPS モードのと大きく異なるのは、共通電極がアレイ基板上ではなく対向基板上にあり (従って、共通電極のことを対向電極と呼ぶこともある)、基板面にほぼ垂直な方向に液晶に電界が印加されるという
20 点である。従って、図 24 にあるように画素電極 5 は TFT 3 や配線以外の大半の領域を占め、この画素電極 5 と対向する基板の間で共通電極 - 画素電極間容量 C_{lc} が構成される (この場合も主に液晶によって形成される容量であるが、それ以外の媒質が電氣的に直列あるいは並列に付加されることにより生じる容量成分もある。あるいは意図的にこのよ
25 うな容量を付加することもありうる)。

この場合も、等価回路的にはほぼ図 19 と同じであるが、厳密にいえ

ば、共通電極（対向電極）が画面ほぼ全体にわたって２次元的な広がりをもっている点が異なっている。

しかし、本発明の第３の表示装置の基本的な考え方で述べたことは、上記構成の場合でも同じように成立し、 C_{sl} や C_{gd} を画面内で変化させたり、画素 P と画素 Q とで値を変えたりすることにより、縦スジ、輝度傾斜、およびフリッカを大幅に低減することができる。

なお、容量部分に関していえば、本発明の第３の表示装置の実施形態 12 から実施形態 15 に相当する構成のすべてが実現可能であることはいうまでもない。

10 （実施形態 17）

本発明の第４の表示装置の実施形態を示す。

図 25（a）は本発明の実施形態 17 における液晶表示装置の画素構成を示す図である。

図 25（a）において 1 はゲート配線、2 はソース配線で、各々配線
15 端でゲート駆動回路、ソース駆動回路に接続されている。ゲート配線 1 とソース配線 2 の交点付近にはスイッチング素子として TFT 3 が形成されており、ゲート駆動回路からゲート配線 1 に加えられたゲートパルスによりこの TFT 3 がスイッチングされ、ソース駆動回路より供給される映像信号がソース配線 2 より各画素へ選択的に充電される。98 は
20 TFT 3 のドレイン電極に接続された画素電極、99a、99b、99c は共通配線 100 に接続された蓄積容量電極で、画素電極 98 との間で蓄積容量を形成している。この蓄積容量がゲートパルスの入力側から遠くなるに従って小さくなるように、蓄積容量電極 99a、99b、99c の面積が狭くなるように構成されている。

25 各画素に形成された TFT 3 は、ゲート配線 1 に接続されたゲート電極 94、ソース配線 2 に接続されたソース電極 95、画素電極 98 に接

続されたドレイン電極 96、アモルファスシリコン等の半導体層 97 により構成されており、TFT3 はゲートパルスを入力側から遠くなり、蓄積容量電極 99 が小さくなるに従って 3a、3b、3c と小さくなるように形成されている。

- 5 上記のように構成された液晶表示装置においては、蓄積容量の減少により画素容量が低下しても、それに合わせて TFT サイズも小さくしているため、TFT のオフリークによる画素電極電位の変動を画面全体で同じになるように出来、しかも TFT サイズを小さくしていくことによって、ゲート配線やソース配線の寄生容量を低下させ、信号の鈍りを緩和
- 10 和することが出来るのでクロストークやフリッカの発生を抑制した液晶パネルを得ることが出来る。

なお、図 25 (a) では TN モードの液晶パネルを例にして説明を行ったが、本発明は本実施の形態に限定されるものではなく、他のモード例えば図 25 (b) に示すように、液晶パネルに沿った電界により液晶

15 を制御する IPS モードの液晶表示装置でも同様な効果を得ることが出来る。

(実施形態 18)

図 26 は本発明の実施形態 18 にかかる第 4 の表示装置の画素構成を示す図である。

- 20 図 26 において実施形態 17 で説明した構成と異なっているのは、TFT3 の小型化にともなってチャネル幅 W も小さくなるが、ゲート電極、及びドレイン電極が各々 94a、94b、94c、96a、96b、96c のように幅が拡大し、ゲート電極 94 とドレイン電極 96 の重なりによって形成されるゲート・ドレイン間容量 (Cgd) の値がほぼ一定と
- 25 なるように構成されている点である。

上記のように構成された表示装置においては、ゲートパルスを入力側

から離れるに従って、TFTサイズが小型化しても、Cgd 容量は常に
ほぼ一定となり、(1)式による画素電圧の一定化の効果を維持しながら、TFTのチャネル幅を小さくすることによって、ゲートパルスのオフ期間におけるTFTからのリーク電流を蓄積容量の減少に従って小さくすることが出来る。従って画素電極電位の変動を画面全体で同じになるように出来、クロストークやフリッカの発生を抑制した液晶パネルを得ることが出来る。

(実施形態19)

図27(a)は実施形態19にかかる本発明の第4の表示装置のゲート駆動回路から供給される、ゲートパルスのタイミング図である。図27(a)に示す通り、例えば、n番目のゲート配線とn+2番目のゲート配線のように、2本のゲート配線でゲートパルスが同時ONになるようになっており、この駆動方法によって1つの画素に1フレーム期間内に2回信号の書き込みが行われることになる。従って、実質的な充電期間を長くすることが可能となり、実施の形態1、2において、ゲートパルスの入力側から離れるに従って、TFTサイズが小さくなり、結果画素への充電能力が低下した場合でも、図27(a)に示す駆動方法を用いることによって充電能力の低下を抑制出来る。

なお、ゲートパルスのタイミングは3本以上のゲート配線が同時にONになっても良く、また図27(b)のように、ON期間が連続したゲートパルスでも良い。この場合は更にゲートパルスが立ち上がる時の波形の鈍りの影響を受けにくくなり、更に充電能力を向上出来る。

(実施形態20)

図28(a)は実施形態20にかかる本発明の第4の表示装置の画素構成を示す図である。

図28(a)において実施形態17と異なっているのは、ゲートパル

スの入力側から離れるにがって従って、蓄積容量 (C_{st}) が小さくなる
とともに、ゲート電極 94 とドレイン電極 98 の重なり面積が大きくなる
ように構成されている点である。

上記のように構成された液晶表示装置においては、(数 24) より C_{gd}
5 を大きくしていくことにより、 C_{st} の傾斜を小さくすることが出来、
従って画面全体で画素容量ほぼ一定とすることが出来るので、画素電極
電位の変動を画面全体で同じになるように出来、クロストークやフリッ
カの発生を抑制した液晶パネルを得ることが出来る。

また、 C_{tot} (例えば、 $C_{tot} = C_{st} + C_{gd} + C_{lc}$) を一定の値となる
10 ようにすることで、更に画面表示の均一化を図ることが出来る。

なお、図 28 (a) では TN モードの液晶パネルを例にして説明を行
ったが、本発明は本実施の形態に限定されるものではなく、他のモード
例えば図 28 (b) に示すように、液晶パネルに沿った電界により液晶
を制御する IPS モードの液晶表示装置でも同様な効果を得ることが出
15 来る。また、図 28 (a) では C_{st} を共通配線 (蓄積容量電極) と画
素電極の重なりによって形成しているが、図 28 (b) に示すように隣
接するゲート配線と画素電極の重なりによって C_{st} を形成しても良い。

(補足)

以上の実施形態 1 ~ 20 の構成例は、走査電極片側給電方式であって
20 も、走査電極両側給電方式であっても適用することができることは言う
までもない。

図 29 (a) が走査電極片側給電方式を模式的に示した図であり、液
晶パネル部に走査信号駆動回路と映像信号駆動回路が接続されており、
走査信号駆動回路は液晶パネルの走査電極に走査電位を与え、映像信号
25 駆動回路は映像信号電極に映像信号電位を与える。これらの駆動回路を
コントローラ部が制御している。走査信号駆動回路には、通常用いられ

るオン・オフの2つの電圧レベルを発生する2値駆動ICではなく、容量結合駆動のステップ電圧を与えるためにさらに2つの電位レベルを持った4値の駆動ICが用いられている。

図29(b)が走査電極両側給電方式を模式的に示した図であり、液晶パネルの左右両端から走査信号電圧を与える構成となり、図の液晶パネルの中央にある1点鎖線の部分が走査信号の電圧供給端からの最遠点となる。そこで、上記の各実施形態で終端と記載した部分をこの最遠点に置き換えて考えれば、同様の効果を得ることができる。

ここで、第1の容量比 α_{gd} 、第2の容量比 α_{st} 、第3の容量比 α_{gd1} 、第4の容量比 α_{st1} 、 β が走査電極給電端からの距離に応じて連続的にまたは段階的に変化する場合、その傾斜の付け方を調整する。例えば、走査電極給電端からの距離に応じて連続的にまたは段階的に大きくする場合を一例に説明すると、走査電極両側給電方式であれば図18のように傾斜をつければ良いことを説明したが、走査電極片側給電方式であれば図30のように傾斜をつければよい。但し、ここでは画面左端から給電する場合を示している。画面右端から給電する場合は、画面中央を軸として反転させたグラフになると考えればよい。

なお、上記説明においては、図18は左右対称な変化の付け方をしている。しかし、必ずしも左右対称である必要はない。例えば、走査電極が両側給電でも共通電極の電位が片側だけで固定されていたり、あるいは逆に走査電極が片側給電で共通電極の電位が両側で固定されている場合などは、再充電電圧の発生のしかたは画面上で必ずしも左右対称ではない。そこで、このような場合も（従来例で構成した場合の）再充電電圧の発生のしかたに対応させて、画素に形成される容量、容量比の変化のパターンを左右非対称にしてもよい。

なお、走査信号駆動回路から画面端部までの配線部の距離が各行毎に

異なっていることによる各行毎の再充電電圧の発生ムラ、あるいは特に TN 型の構成の場合などで共通電極の上端や下端で電位固定しているために生じる中央部と上下とでの再充電電圧差などを補正するために、各行毎に容量や容量比を変えてもよい。

- 5 上記の実施形態の説明では、容量結合駆動を行うための蓄積容量は前段走査電極上にあるものとした。しかしながら、これは別の走査電極上にあってもよく、例えば 1 つ下の走査線の上の後段走査電極上に蓄積容量を形成しても、重畳電圧を印加するタイミングを調整すれば、本発明の効果は十分に発揮される。ただし、当画素のスイッチングに関わる当段
- 10 走査電極上に蓄積容量を形成すると、当段の走査信号の立下り部が重畳電圧の印加タイミングと重なって、相互の干渉が生じるので好ましくない。

- なお、本発明において各画素において形成される容量を異なる値にしたり、あるいは画面内で値を変化させたりする方法は、意図的にそのようなレイアウトにすることにより（すなわち、設計マスク図面を意図的にそのようにすることにより）実現するものでも良く、また、設計マスク図面を従来例のように（すなわち、画素 P と画素 Q のレイアウトに差を与えず、かつ画面内で均一に）作成しても、例えば製造時のマスク合わせを意図的にずらすことでも良い。あるいはレイアウトは従来例のま
- 15 ままで、容量絶縁膜媒質の誘電率を意図的に変えることによる容量の変化ということでも良い。

- なお、製造プロセス上の誤差（合わせ、抜き、残し等の寸法のずれや不均一性）は一般に非常に微細なものであるので、この程度の誤差によっては本発明の効果はほとんど期待できない。それゆえ、本発明は、従
- 25 来技術において実現されなかったものである。

なお、上記説明においては、 C_{sl} と C_{gd} を変えることについて述べ

てきたが、液晶容量 C_{lc} も変化させることでもかまわない。例えば C_{st} と C_{gd} を固定しておいて、 C_{lc} のみを変化させても第1の容量比 α_{gd} 、第2の容量比 α_{st} 、第3の容量比 α_{gd1} 、第4の容量比 α_{st1} などの容量比がともに変化し、本発明の効果が得られる。 C_{lc} を変化させる場合、液晶の容量は変えずに、液晶に対して直列または並列に挿入する容量を変化させるという手段もありうる。

なお、上記説明においては、電圧制御型の表示装置、つまり、画素電極と対向電極の間に印加される電圧で、液晶などの表示媒質の状態を制御する表示装置を例に説明した。しかし、電流制御型の表示装置、つまり、画素電極と対向電極の間に印加される画素電圧で、電流制御用トランジスタのゲート電位を制御することにより、各画素の電流（すなわち輝度）を制御する表示装置についても適用が可能である。電圧制御型駆動と電流制御型駆動では、画素に与えられた電圧により直接に媒質の状態を制御するか、トランジスタに導通する電流を決めるかという差はあるが、画素に電圧に与えるまでのプロセスは両者に共通しており、走査パルスの歪みによるゲート遅延や再充電現象などによる画素電極電位の変動という課題は両者に共通である。

以下、一例として、本発明をアクティブマトリックス型の有機エレクトロルミネッセンス（有機EL）表示装置に適用したものについて説明する。図33はその基本構成を示すものであり、第1の実施形態における図1に相当するものである。図1との違いは、各画素が表示のための有機EL層82を持つことと、有機EL層に流れる電流を制御するために第2のTFT81が形成されていることである。図33の表示装置の動作を簡単に説明すると、まず、信号電圧がTFT3を通じて電極5に充電された後、前段のゲート線 $G(n-1)$ の電位変化により重畳電圧が与えられる。6はこの充電の負荷となる画素容量である。図1では画素容

- 量（液晶容量）6の両端の電圧により各画素の表示特性が直接定められていたが、図33の構成では電極5が第2のTFTのゲート電極を兼ねており、画素容量6の両端の電圧が第2のTFTのゲート電圧を定めている。第2のTFTの一端には有機EL層が接続されているが、他端は
- 5 電流供給回路に接続されており、一定の電位 V_{spl} が供給されている。従って第2のTFTを流れる電流はそのゲート電圧によって制御される。この結果、有機EL層82に流れる電流の大小を信号電圧で制御することにより表示輝度を定めている。従来の有機EL表示装置の場合、画面の大型化や高解像度化により各部の電圧が歪み、画素容量6に印加される電圧が変動すると、有機EL層を流れる電流が変動して表示むらとなる問題が発生する。本発明を適用した有機EL表示装置の場合、上記各実施形態と同様に、第1のTFTのゲートドレイン間容量10、画素容量6、蓄積容量7の値を画素位置に応じて調整することにより、均一な表示を行うことができる。なお、上記説明では第1の実施形態の図1
- 10 5を例にとって本発明を適用した有機EL表示装置を説明したが、他の実施形態の他の図の構成をもとに本発明を適用した有機EL表示装置を構成することも可能である。また、上記説明では、電極5が第2のTFTのゲート電極を兼ねているものとしたが、電極5が第2のTFTのゲート電極に接続された構成でも構わない。
- 15 20 なお、電流制御型駆動では、電流制御用のトランジスタに特別な工夫を加えない限り、画素電圧は直流信号である。また、電流制御型駆動においても、電気泳動型表示装置やエレクトロクロミック型表示装置など、直流信号で動作するタイプのものもある。このように画素電極に直流を印加して動作させる表示装置には、本発明の正負フィールドに関する議論は直接関係しないが、それ以外の議論は適用することができる。
- 25

なお、上記説明においては表示装置について述べたが、これは、走査

信号駆動回路および映像信号駆動回路を含んだ全体を指す。これに対して、駆動回路を含まずに、アレイ基板、対向基板、および液晶を最低限含んだ構成からなる部分を特に表示素子と呼ぶ。本発明の効果は、表示装置、および表示素子のいずれに対しても得られる。

- 5 なお、液晶としては、上述の TN 液晶や IPS 液晶以外でもよい。応答速度が比較的速くかつ高コントラストが得られる VA（垂直配向）液晶を用いてもよいし、MVA（マルチドメイン VA）液晶であっても良いし、他の液晶であってもよい。例えば、TN（ツイステッド・ネマチック）液晶、STN（スーパー・ツイステッド・ネマチック）液晶、VA 液晶（垂直
- 10 配向液晶、またはホメオトロピック液晶）やホモジニアス配向液晶等を含む ECB（電界制御複屈折）型液晶、ベント液晶、IPS（面内スイッチング）液晶、GH（ゲスト・ホスト）液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶、OCB 液晶、ディスコテック液晶、およびその他のさまざまなモードが使用しうる。また、液晶以外でも印加電圧によっ
- 15 て光学的特性が変化する材料であれば用いることができる。例えば BSO（ピスマスシリコンオキサイド）等の電気光学結晶が挙げられる。さらには、エレクトロクロミック材料や、自発光型のダイオード、レーザー、エレクトロルミネッセンス材料などであってもよい。あるいは、DMD（Deformable Mirror Device）などでもよい。ただ、液晶が最も安価で
- 20 あり、これを使用するのが望ましい。

なお、本発明では直視型の液晶ディスプレイパネルを中心に述べてきたが、液晶プロジェクタなどに用いられる液晶素子（多結晶 Si 型、単結晶 Si 型、あるいは SOI（シリコン・オン・インシュレータ）型なども含む）などにも当然応用することができる。

25

産業上の利用可能性

本発明の表示装置によれば、走査線のCR時定数により生ずる走査電圧波形の歪に起因して生じる、画素電極電位の充電が不十分となることによる表示むらや再充電現象による表示むら、信号電圧の極性反転駆動における奇数フレームー偶数フレームの違いで生じる表示むら、画素電極へ印加される信号電位が正方向であるか負方向であるかの違いで生じる表示むらという課題を解決し、大型液晶表示装置や高解像度液晶表示装置において表示むらを低減する効果が得られる。

本発明の第1の表示装置によれば、低電圧・低電力の容量結合駆動を行いながら、画素電極への充電を確保せしめ、再充電現象による電位変動を考慮して画素電極電位のDCレベルのずれを補償し、フリッカをなくすとともに、画素電極電位に重畳される結合電圧のばらつきを減少させて輝度の均一な表示を行なうという効果を得ている。

本発明の第2の表示装置によれば、アクティブマトリクス型の液晶表示装置において、画素電極と当段を除く走査電極の間に第1の蓄積容量を形成し、画素電極と共通電極の間に第2の蓄積容量を形成することにより、容量結合駆動における走査電極の時定数の影響を低下させて、大型や高解像度の液晶表示装置を低電圧で駆動し、消費電力を低減できるという効果を得ている。また、これらの蓄積容量や、ゲート・ドレイン間容量、液晶容量の間の関係を画素位置に応じて変化させることにより、再充電現象による電位変動を考慮して走査電位の立下り部分に起因する電圧むらを補償して、均一な表示を可能にしている。さらに、これらの容量間の比が特定の関係を保つようにすることにより、重畳される結合電圧を等しくして、さらに均一性の良好な表示を行うという効果を得ている。

本発明の第3の表示装置によれば、アクティブマトリクス型の液晶表示装置において、低コストでクロストークが少ない容量結合ドット反転

／カラム反転対応の画素構成を採用したときに現れる、信号電圧の極性反転駆動における奇数フレーム－偶数フレームの違いで生じる表示むら、画素電極へ印加される信号電位が正方向であるか負方向であるかの違いで生じる表示むら、フリッカ、輝度傾斜を抑制することができる。

- 5 本発明の第4の表示装置によれば、ゲートパルスを入力側から離れるに従って蓄積容量が小さくなるよう構成された液晶表示装置において、蓄積容量の小型化に合わせて、TFTサイズを小さくする構成、あるいはゲート電極・ドレイン電極間容量を大きくする構成によって、画面全体での画素容量をほぼ一定にし、画素電極電位の変動を画面全体で同じ
- 10 にすることが出来るので、クロストークやフリッカの発生を抑制した液晶パネルを得ることが出来る。

請求の範囲

1. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、前記画素電極との間に容量を形成する対向電極とを備えた表示装置であって、

前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

- 前記スイッチング素子のゲート・ドレイン間容量および前記蓄積容量のうち少なくとも一方を含む、前記画素電極に接続された2つ以上の容量成分が、前記走査電極の給電端からの距離に応じて異なった値を有しており、

1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} とした場合に、

- (数56) に示す第1の容量比 α_{gd} が、前記走査電極の給電端からの距離に応じて連続的にまたは段階的に増加していることを特徴とする表示装置。

(数56)

$$\alpha_{gd} = C_{gd} / C_{tot}$$

2. 前記ゲート・ドレイン間容量および前記蓄積容量の双方が、前記走査電極の給電端からの距離に応じて増加していることを特徴とする請求項1に記載の表示装置。

3. 前記ゲート・ドレイン間容量および前記蓄積容量の双方が、前記走査電極の給電端からの距離に応じて減少していることを特徴とする請求項1に記載の表示装置。

4. 前記蓄積容量、および、前記対向電極と画素電極間に形成される

容量の双方が、前記走査電極の給電端からの距離に応じて減少していることを特徴とする請求項 1 に記載の表示装置。

- 5 5. (数 5 7) に示す第 2 の容量比 α_{st} が、略一定となるように、各画素における容量成分が設定されていることを特徴とする請求項 1 から 4 のいずれか 1 項に記載の表示装置。

(数 5 7)

$$\alpha_{st} = C_{st} / C_{tot}$$

- 10 6. (数 5 8) に示す第 2 の容量比 α_{st} が、前記走査電極の給電端からの距離に応じて連続的にまたは段階的に増加するように、各画素における容量成分が設定されていることを特徴とする請求項 1 から 4 のいずれか 1 項に記載の表示装置。

(数 5 8)

$$\alpha_{st} = C_{st} / C_{tot}$$

- 15 7. 表示媒質が液晶であることを特徴とする請求項 1 から 4 のいずれか 1 項に記載の表示装置。

8. 前記走査信号の駆動回路に前記蓄積容量を介して電圧重畳する手段を備えたことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の表示装置。

- 20 9. 前記走査信号の駆動回路が 4 値以上の出力電圧を備えていることを特徴とする請求項 8 に記載の表示装置。

10. 前記画素電極に前記スイッチング素子を介して電位を書き込んだ後に、前記蓄積容量を介した電圧を重畳することを特徴とする請求項 8 に記載の表示装置。

- 25 11. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、前記画素電極との間に容量を形成する対向電極と、蓄積容量電極とを備えた表示装置で

あって、

前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に第1の蓄積容量を備え、

前記画素電極と前記蓄積容量電極との間に第2の蓄積容量を備えたこと
5 を特徴とする表示装置。

12. 1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記第1の蓄積容量を C_{st1} 、前記第2の蓄積容量を C_{st2} とした場合に、

(数59)に示す第3の容量比 α_{gd1} が、走査電極の給電端からの距離に応じて連続的にまたは段階的に増加していることを特徴とする請求
10 項11に記載の表示装置。

(数59)

$$\alpha_{gd1} = C_{gd} / C_{tot}$$

13. 前記ゲート・ドレイン間容量が、前記走査電極の給電端からの距離に応じて増加していることを特徴とする請求項12に記載の表示装置。
15

14. 前記ゲート・ドレイン間容量、前記第1の蓄積容量、および前記第2の蓄積容量のうち少なくとも一者を含む、前記画素電極に接続された2つ以上の容量成分が、前記走査電極の給電端からの距離に応じて異なった値を有していることを特徴とする請求項12に記載の表示装置。
20

15. 前記ゲート・ドレイン間容量および前記第1の蓄積容量の双方が、前記走査電極の給電端からの距離に応じて増加していることを特徴とする請求項14に記載の表示装置。

16. 前記ゲート・ドレイン間容量が前記走査電極の給電端からの距離に応じて増加し、前記第2の蓄積容量が前記走査電極の給電端からの距離に応じて減少していることを特徴とする請求項14に記載の表示装
25

置。

17. 前記第1の蓄積容量および前記第2の蓄積容量の双方が、前記走査電極の給電端からの距離に応じて減少していることを特徴とする請求項14に記載の表示装置。

- 5 18. 容量比 C_{st1}/C_{st2} が略一定に保たれている請求項17に記載の表示装置。

19. (数60) に示す第4の容量比 α_{st1} が、略一定となるように、各画素における容量成分が設定されていることを特徴とする請求項11から17のいずれか1項に記載の表示装置。

- 10 (数60)

$$\alpha_{st1} = C_{st1} / C_{tot}$$

20. (数61) に示す第4の容量比 α_{st1} が、前記走査電極の給電端からの距離に応じて連続的にまたは段階的に増加するように、各画素における容量成分が設定されていることを特徴とする請求項11から15 7のいずれか1項に記載の表示装置。

(数61)

$$\alpha_{st1} = C_{st1} / C_{tot}$$

21. 前記画素電極と前記対向電極とが表示媒質を挟んで平行平板容量を形成しない構造である請求項11から17のいずれか1項に記載の表示装置。

22. 前記対向電極が前記画素電極と同一の基板に形成されている請求項21に記載の表示装置。

23. 前記対向電極と前記画素電極が互いに異なる基板に形成され、前記基板に略平行な電界または斜め方向の電界により表示媒質を制御する請求項21に記載の表示装置。

24. 前記画素電極を有する基板と当該基板に対向する基板の双方に

対向電極が形成され、前記基板に略平行な電界または斜め方向の電界により表示媒質を制御する請求項 2 1 に記載の表示装置。

2 5. 前記表示媒質が液晶である請求項 2 3 に記載の表示装置。

2 6. 前記表示媒質が液晶である請求項 2 4 に記載の表示装置。

5 2 7. 前記走査信号の駆動回路に前記蓄積容量を介して電圧重畳する手段を備えたことを特徴とする請求項 1 1 から 1 7 のいずれか 1 項に記載の表示装置。

2 8. 前記走査信号の駆動回路が 4 値以上の出力電圧を備えていることを特徴とする請求項 2 7 に記載の表示装置。

10 2 9. 前記画素電極に前記スイッチング素子を介して電位を書き込んだ後に、前記蓄積容量を介した電圧を重畳することを特徴とする請求項 2 7 に記載の表示装置。

3 0. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備えた表示装置であって、

15 前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

ある 1 つの前記走査電極に属する複数の画素の画素電極に接続される前記蓄積容量の他方の接続先の前記走査電極が複数あり、

20 1 つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{sl} とした場合に、

(数 6 2) に示す第 1 の容量比 α_{gd} と (数 6 3) に示す第 2 の容量比 α_{sl} が、前記蓄積容量が接続される先の前記走査電極に応じて異な

25 った値を有することを特徴とする表示装置。

(数 6 2)

$$\alpha_{gd} = C_{gd} / C_{tot}$$

(数 6 3)

$$\alpha_{st} = C_{st} / C_{tot}$$

- 3 1. 複数の映像信号電極に極性の異なる 2 種類の映像信号を同時に
5 印加する映像信号駆動回路を備えていることを特徴とする、請求項 3 0
に記載の表示装置。

3 2. ある 1 つの走査電極（これを走査電極 0 と呼ぶ）に属する複数の
画素のうち、

- 第 1 の極性の映像信号を印加する映像信号電極に属する画素の画素電
10 極に接続される蓄積容量の他方の接続先の走査電極が共通であり（これ
を走査電極 A と呼ぶ）、

第 2 の極性の映像信号を印加する映像信号電極に属する画素の画素電
極に接続される蓄積容量の他方の接続先の走査電極も共通であり（これ
を走査電極 B と呼ぶ）、

- 15 前記走査電極 A と前記走査電極 B が異なるものである請求項 3 1 に記
載の表示装置。

3 3. 前記走査電極 0 に対して、前記走査電極 A は前段であり、前記
走査電極 B は後段である請求項 3 2 に記載の表示装置。

- 3 4. 前記蓄積容量が前段の走査電極に接続される画素の α_{gd} およ
20 び α_{st} をそれぞれ $\alpha_{gd}(P)$ 、 $\alpha_{st}(P)$ で表わし、前記蓄積容量が後段の
走査電極に接続される画素の α_{gd} および α_{st} をそれぞれ $\alpha_{gd}(Q)$ 、 $\alpha_{st}(Q)$
で表わしたとき、(数 6 4) を満たす請求項 3 3 に記載の表示装置。

(数 6 4)

$$\alpha_{st}(P) < \alpha_{st}(Q)$$

- 25 3 5. 複数の走査電極に電圧信号を印加する走査信号駆動回路を備え、
前記走査信号駆動回路は少なくとも 4 値の出力電位レベルを備えている

請求項 3 4 に記載の表示装置。

- 3 6. 前記走査電極 0 が選択されるときには、前記走査電極 0 の電位は第 1 の電位レベル V_{gon} となり、前記走査電極 A および前記走査電極 B はそれぞれ第 2 の電位レベル $V_{ge}(+)$ 、および第 3 の電位レベル $V_{ge}(-)$ となり、前記走査電極 0 が選択されない保持期間中は、前記走査電極 0 の電位は概略第 4 の電位レベル V_{goff} となり、

かつ (数 6 5) を満たす請求項 3 5 に記載の表示装置。

(数 6 5)

$$\beta(P) < \beta(Q)$$

- 10 ただし、

$$\beta(P) = \alpha_{st}(P) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(P)$$

$$\beta(Q) = \alpha_{st}(Q) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(Q)$$

$$\Delta V_{gec} = (V_{ge}(+) + V_{ge}(-)) / 2 - V_{goff}$$

$$\Delta V_{gon} = V_{gon} - V_{goff}$$

- 15 3 7. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備えた表示装置であって、

前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

- 20 1 つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} とした場合に、

(数 6 6) に示す第 2 の容量比 $\alpha_{st} = C_{st} / C_{tot}$ が、前記走査電極の画面端部からの距離に応じて変化していることを特徴とする表示装置。

- 25 (数 6 6)

$$\alpha_{st} = C_{st} / C_{tot}$$

38. 前記第2の容量比 α_{st} が、前記走査電極の画面端部からの距離に応じて連続的または段階的に増加している請求項37に記載の表示装置。

39. 複数の走査電極に電圧信号を印加する走査信号駆動回路を備え、
5 前記走査信号駆動回路は少なくとも4値の出力電位レベルを備えている請求項38に記載の表示装置。

40. ある走査電極（走査電極0と呼ぶ）が選択されるときには、前記走査電極0の電位は第1の電位レベル V_{gon} となり、前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の前
10 記走査電極（走査電極Aと呼ぶ）の電位は表示周期に応じて第2の電位レベル $V_{ge}(+)$ または第3の電位レベル $V_{ge}(-)$ となり、前記走査電極0が選択されない保持期間中は、前記走査電極0の電位は概略第4の電位レベル V_{goff} となり、かつ（数67）で表される β が前記走査電極の画面端部からの距離に応じて連続的または段階的に増加している請求項3
15 9に記載の表示装置。

（数67）

$$\beta = \alpha_{st}(\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}$$

ただし、

$$\Delta V_{gec} = (V_{ge}(+) + V_{ge}(-)) / 2 - V_{goff}$$

20 $\Delta V_{gon} = V_{gon} - V_{goff}$

41. α_{st} および β の、前記走査電極の画面端部での値を $\alpha_{st}(0)$ 、 $\beta(0)$ とすると、 $\alpha_{st} - \alpha_{st}(0)$ および $\beta - \beta(0)$ の値が、前記走査電極の画面端部からの距離の2乗に概略比例する請求項40に記載の表示装置。

25 42. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備

えた表示装置であって、

前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

ある1つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記走査電極が複数あり、

1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} とした場合に、

(数68)で示す第1の容量比 α_{gd} および(数69)で示す第2の容量比 α_{st} がともに、前記蓄積容量が接続される先の前記走査電極に応じて異なった値を有し、

かつ前記走査電極の画面端部からの距離に応じて変化していることを特徴とする表示装置。

(数68)

$$\alpha_{gd} = C_{gd} / C_{tot}$$

(数69)

$$\alpha_{st} = C_{st} / C_{tot}$$

43. 複数の映像信号電極に極性の異なる2種類の映像信号を同時に印加する映像信号駆動回路を備えている請求項42に記載の表示装置。

44. ある1つの走査電極(これを走査電極0と呼ぶ)に属する複数の画素のうち、

第1の極性の映像信号を印加する映像信号電極に属する画素の画素電極に接続される蓄積容量の他方の接続先の走査電極が共通であり(これを走査電極Aと呼ぶ)、

第2の極性の映像信号を印加する映像信号電極に属する画素の画素電極に接続される蓄積容量の他方の接続先の走査電極も共通であり(これ

を走査電極 B と呼ぶ)、

前記走査電極 A と前記走査電極 B が異なるものである請求項 4 2 に記載の表示装置。

4 5. 前記走査電極 0 に対して、前記走査電極 A は前段であり、前記走査電極 B は後段である請求項 4 4 に記載の表示装置。

4 6. 前記蓄積容量が前段の走査電極に接続される画素の α_{gd} および α_{st} をそれぞれ $\alpha_{gd}(P)$ 、 $\alpha_{st}(P)$ で表わし、前記蓄積容量が後段の前記走査電極に接続される画素の α_{gd} および α_{st} をそれぞれ $\alpha_{gd}(Q)$ 、 $\alpha_{st}(Q)$ で表わしたとき、(数 7 0) を満たすことを特徴とする、請求項 4 5 に記載の表示装置。

(数 7 0)

$$\alpha_{st}(P) < \alpha_{st}(Q)$$

4 7. 複数の走査電極に電圧信号を印加する走査信号駆動回路を備え、前記走査信号駆動回路は少なくとも 4 値の出力電位レベルを備えている請求項 4 6 に記載の表示装置。

4 8. 前記走査電極 0 が選択されるときには、前記走査電極 0 の電位は第 1 の電位レベル V_{gon} となり、前記走査電極 A および前記走査電極 B はそれぞれ第 2 の電位レベル $V_{ge}(+)$ 、および第 3 の電位レベル $V_{ge}(-)$ となり、前記走査電極 0 が選択されない保持期間中は、前記走査電極 0 の電位は概略第 4 の電位レベル V_{goff} となり、かつ (数 7 1) を満たす請求項 4 7 に記載の表示装置。

(数 7 1)

$$\beta(P) < \beta(Q)$$

ただし、

$$\beta(P) = \alpha_{st}(P) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(P)$$

$$\beta(Q) = \alpha_{st}(Q) (\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}(Q)$$

$$\Delta V_{gec} = (V_{ge}(+) + V_{ge}(-)) / 2 - V_{goff}$$

$$\Delta V_{gon} = V_{gon} - V_{goff}$$

49. $[\alpha_{st}(P) + \alpha_{st}(Q)] / 2$ は前記走査電極の画面端部からの距離に応じて連続的または段階的に増加している請求項48に記載の表示装置。

50 (数72) で表される $\beta(P)$ および $\beta(Q)$ に対して、 $[\beta(P) + \beta(Q)] / 2$ が前記走査電極の画面端部からの距離に応じて連続的または段階的に増加している請求項49に記載の表示装置。

(数72)

$$\beta = \alpha_{st}(\Delta V_{gec} / \Delta V_{gon}) + \alpha_{gd}$$

ただし、

$$\Delta V_{gec} = (V_{ge}(+) + V_{ge}(-)) / 2 - V_{goff}$$

$$\Delta V_{gon} = V_{gon} - V_{goff}$$

51. $\alpha_{st}(P)$ 、 $\alpha_{st}(Q)$ および $\beta(P)$ 、 $\beta(Q)$ の、前記走査電極の画面端部での値を $\alpha_{st}(P, 0)$ 、 $\alpha_{st}(Q, 0)$ および $\beta(P, 0)$ 、 $\beta(Q, 0)$ とするとき、 $[\alpha_{st}(P) - \alpha_{st}(P, 0) + \alpha_{st}(Q) - \alpha_{st}(Q, 0)] / 2$ および $[\beta(P) - \beta(P, 0) + \beta(Q) - \beta(Q, 0)] / 2$ の値は、前記走査電極の画面端部からの距離の2乗に概略比例する請求項50に記載の表示装置。

52. 前記画素電極に前記スイッチング素子を介して電位を書き込んだ後に、前記蓄積容量を介した電圧を重畳することを特徴とする請求項47に記載の表示装置。

53. 前記画素電極と前記対向電極の間にある媒質は液晶である請求項30から52のいずれか1項に記載の表示装置。

54. 対向する2枚の基板のうち、一方の基板の対向面側に、行列状に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジ

スタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極と、前記ゲート配線に順次ゲートパルスを提供するゲート駆動回路と前記ソース配線に映像信号を提供するソース

5 駆動回路とを備え、

前記蓄積容量がゲート信号の供給側から離れるに従って小さくなるように形成され、前記蓄積容量の減少に伴って前記薄膜トランジスタが小さくなるよう構成されたことを特徴とする表示装置。

5 5. 対向する2枚の基板のうち、一方の基板の対向面側に、行列状
10 に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極と、前記ゲート配線に順次ゲートパルス
15 を供給するゲート駆動回路と前記ソース配線に映像信号を提供するソース駆動回路とを備え、

前記薄膜トランジスタはゲート配線に接続されたゲート電極、ソース配線に接続されたソース電極、及び画素電極に接続されたドレイン電極から構成され、前記ソース電極とドレイン電極はチャンネル幅Wでチャンネル長Lを隔てて対向しており、前記蓄積容量電極がゲート信号の供給側
20 から離れるに従って小さくなるように形成され、

前記蓄積容量電極の面積の減少に伴って前記薄膜トランジスタのドレイン電極のチャンネル幅Wを小さくするとともに、前記ゲートと前記ドレイン電極の重なりによって形成される静電容量が一定となるよう構成されたことを特徴とする表示装置。
25

5 6. 2配線以上のゲート配線に同時にゲートパルス印加する請求

項 5 4 または 5 5 に記載の表示装置。

5 7. 連続した 2 配線以上のゲート配線に同時にゲートパルス印加する請求項 5 6 記載の表示装置。

5 8. 対向する 2 枚の基板のうち、一方の基板の対向面側に、行列状に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極を備え、

10 前記薄膜トランジスタはゲート配線に接続されたゲート電極、ソース配線に接続されたソース電極、及び画素電極に接続されたドレイン電極から構成され、前記ソース電極とドレイン電極はチャンネル幅 W でチャンネル長 L を隔てて対向しており、前記蓄積容量電極がゲート信号の供給側から離れるに従って小さくなるように形成され、

15 前記蓄積容量の減少に従って、前記ゲート電極とドレイン電極間の静電容量が大きくなるよう構成されたことを特徴とする表示装置。

5 9. 蓄積容量を C_{st} 、ゲート電極とドレイン電極間の静電容量を C_{gd} 、ドレイン電極と対向電極間の静電容量を C_{lc} としたとき、 $C_{st} + C_{gd} + C_{lc}$ が略一定となるよう構成された請求項 5 8 記載の表示装置。

20 6 0. 第 2 のスイッチング素子を備え、前記画素電極が前記第 2 のスイッチング素子のゲート電極を兼ねている、または、前記画素電極が前記第 2 のスイッチング素子のゲート電極に接続されていることを特徴とする請求項 1 から 4、1 1 から 1 8、3 0 から 5 2、5 4 から 5 5、または 5 8 から 5 9 のいずれか 1 項に記載の表示装置。

25 6 1. 第 2 のスイッチング素子を備え、前記画素電極が前記第 2 のスイッチング素子のゲート電極を兼ねている、または、前記画素電極が前

記第 2 のスイッチング素子のゲート電極に接続されていることを特徴とする請求項 5 に記載の表示装置。

6 2. 第 2 のスイッチング素子を備え、前記画素電極が前記第 2 のスイッチング素子のゲート電極を兼ねている、または、前記画素電極が前記第 2 のスイッチング素子のゲート電極に接続されていることを特徴とする請求項 6 に記載の表示装置。

6 3. 第 2 のスイッチング素子を備え、前記画素電極が前記第 2 のスイッチング素子のゲート電極を兼ねている、または、前記画素電極が前記第 2 のスイッチング素子のゲート電極に接続されていることを特徴とする請求項 1 9 に記載の表示装置。

6 4. 第 2 のスイッチング素子を備え、前記画素電極が前記第 2 のスイッチング素子のゲート電極を兼ねている、または、前記画素電極が前記第 2 のスイッチング素子のゲート電極に接続されていることを特徴とする請求項 2 0 に記載の表示装置。

6 5. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、前記画素電極との間に容量を形成する対向電極とを備えた表示素子であって、

前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

前記スイッチング素子のゲート・ドレイン間容量および前記蓄積容量のうち少なくとも一方を含む、前記画素電極に接続された 2 つ以上の容量成分が、前記走査電極の給電端からの距離に応じて異なった値を有しており、

1 つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} とした場合に、

(数 7 3) に示す第 1 の容量比 α_{gd} が、前記走査電極の給電端からの距離に応じて連続的にまたは段階的に増加していることを特徴とする表示素子。

(数 7 3)

5 $\alpha_{gd} = C_{gd} / C_{tot}$

6 6. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、前記画素電極との間に容量を形成する対向電極と、蓄積容量電極とを備えた表示素子であって、

- 10 前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に第 1 の蓄積容量を備え、

前記画素電極と前記蓄積容量電極との間に第 2 の蓄積容量を備えたことを特徴とする表示素子。

- 6 7. 1 つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記第 1 の蓄積容量を C_{st1} 、前記第 2 の蓄積容量を C_{st2} とした場合に、
- 15

(数 7 4) に示す第 3 の容量比 α_{gd1} が、走査電極の給電端からの距離に応じて連続的にまたは段階的に増加していることを特徴とする請求項 6 6 に記載の表示素子。

- 20 (数 7 4)

$\alpha_{gd1} = C_{gd} / C_{tot}$

6 8. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備えた表示素子であって、

- 25 前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

ある1つの前記走査電極に属する複数の画素の画素電極に接続される前記蓄積容量の他方の接続先の前記走査電極が複数あり、

1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} とした場合に、

(数75)に示す第1の容量比 α_{gd} と(数76)に示す第2の容量比 α_{st} が、前記蓄積容量が接続される先の前記走査電極に応じて異なった値を有することを特徴とする表示素子。

(数75)

$$10 \quad \alpha_{gd} = C_{gd} / C_{tot}$$

(数76)

$$\alpha_{st} = C_{st} / C_{tot}$$

69. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備えた表示素子であって、

前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} とした場合に、

(数77)に示す第2の容量比 $\alpha_{st} = C_{st} / C_{tot}$ が、前記走査電極の画面端部からの距離に応じて変化していることを特徴とする表示素子。

(数77)

$$\alpha_{st} = C_{st} / C_{tot}$$

25 70. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備

えた表示素子であって、

前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

ある1つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記走査電極が複数あり、

1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} とした場合に、

(数78)で示す第1の容量比 α_{gd} および(数79)で示す第2の容量比 α_{st} がともに、前記蓄積容量が接続される先の前記走査電極に応じて異なった値を有し、

かつ前記走査電極の画面端部からの距離に応じて変化していることを特徴とする表示素子。

(数78)

$$\alpha_{gd} = C_{gd} / C_{tot}$$

(数79)

$$\alpha_{st} = C_{st} / C_{tot}$$

71. 対向する2枚の基板のうち、一方の基板の対向面側に、行列状に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極と、前記ゲート配線に順次ゲートパルスを提供するゲート駆動回路と前記ソース配線に映像信号を提供するソース駆動回路とを備え、

前記蓄積容量がゲート信号の供給側から離れるに従って小さくなるよ

うに形成され、前記蓄積容量の減少に伴って前記薄膜トランジスタが小さくなるよう構成されたことを特徴とする表示素子。

- 7 2. 対向する2枚の基板のうち、一方の基板の対向面側に、行列状に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極と、前記ゲート配線に順次ゲートパルスを提供するゲート駆動回路と前記ソース配線に映像信号を供給するソース駆動回路とを備え、

- 前記薄膜トランジスタはゲート配線に接続されたゲート電極、ソース配線に接続されたソース電極、及び画素電極に接続されたドレイン電極から構成され、前記ソース電極とドレイン電極はチャンネル幅Wでチャンネル長Lを隔てて対向しており、前記蓄積容量電極がゲート信号の供給側から離れるに従って小さくなるように形成され、

前記蓄積容量電極の面積の減少に伴って前記薄膜トランジスタのドレイン電極のチャンネル幅Wを小さくするとともに、前記ゲートと前記ドレイン電極の重なりによって形成される静電容量が一定となるよう構成されたことを特徴とする表示素子。

- 7 3. 対向する2枚の基板のうち、一方の基板の対向面側に、行列状に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極を備え、

前記薄膜トランジスタはゲート配線に接続されたゲート電極、ソース

配線に接続されたソース電極、及び画素電極に接続されたドレイン電極から構成され、前記ソース電極とドレイン電極はチャンネル幅 W でチャンネル長 L を隔てて対向しており、前記蓄積容量電極がゲート信号の供給側から離れるに従って小さくなるように形成され、

- 5 前記蓄積容量の減少に従って、前記ゲート電極とドレイン電極間の静電容量が大きくなるよう構成されたことを特徴とする表示素子。

74. 第2のスイッチング素子を備え、前記画素電極が前記第2のスイッチング素子のゲート電極を兼ねている、または、前記画素電極が前記第2のスイッチング素子のゲート電極に接続されていることを特徴とする請求項65から73のいずれか1項に記載の表示素子。

75. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、前記画素電極との間に容量を形成する対向電極とを備えた表示装置を駆動する方法であって、

- 15 前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

- 前記スイッチング素子のゲート・ドレイン間容量および前記蓄積容量のうち少なくとも一方を含む、前記画素電極に接続された2つ以上の容量成分が、前記走査電極の給電端からの距離に応じて異なった値を有しており、

1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} とした場合に、

- (数80)に示す第1の容量比 α_{gd} が、前記走査電極の給電端からの距離に応じて連続的にまたは段階的に増加している表示装置を、
- 25 前記画素にスイッチング素子を介して電位を書き込んだ後に、前記蓄

積容量を介した電圧を重畳するように駆動することを特徴とする表示装置の駆動方法。

(数 8 0)

$$\alpha_{gd} = C_{gd} / C_{tot}$$

- 5 7 6. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、前記画素電極との間に容量を形成する対向電極と、蓄積容量電極とを備えた表示装置を駆動する方法であって、

- 10 前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に第 1 の蓄積容量を備え、

前記画素電極と前記蓄積容量電極との間に第 2 の蓄積容量を備えた表示装置を、

- 15 前記画素にスイッチング素子を介して電位を書き込んだ後に、前記第 1 の蓄積容量を介した電圧を重畳するように駆動することを特徴とする表示装置の駆動方法。

7 7. 1 つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記第 1 の蓄積容量を C_{st1} 、前記第 2 の蓄積容量を C_{st2} とした場合に、

- 20 (数 8 1) に示す第 3 の容量比 α_{gd1} が、走査電極の給電端からの距離に応じて連続的にまたは段階的に増加していることを特徴とする請求項 7 6 に記載の表示装置の駆動方法。

(数 8 1)

$$\alpha_{gd1} = C_{gd} / C_{tot}$$

- 25 7 8. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備えた表示装置を駆動する方法であって、

前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

ある1つの前記走査電極に属する複数の画素の画素電極に接続される前記蓄積容量の他方の接続先の前記走査電極が複数あり、

- 5 1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} とした場合に、

- (数82) に示す第1の容量比 α_{gd} と (数83) に示す第2の容量比 α_{st} が、前記蓄積容量が接続される先の前記走査電極に応じて異
10 なった値を有する表示装置を、

前記画素にスイッチング素子を介して電位を書き込んだ後に、前記蓄積容量を介した電圧を重畳するように駆動することを特徴とする表示装置の駆動方法。

(数82)

15 $\alpha_{gd} = C_{gd} / C_{tot}$

(数83)

$$\alpha_{st} = C_{st} / C_{tot}$$

79. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備
20 えた表示装置を駆動する方法であって、

前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

- 1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st}
25 とした場合に、

(数84) に示す第2の容量比 $\alpha_{st} = C_{st} / C_{tot}$ が、前記走査電

極の画面端部からの距離に応じて変化している表示装置を、

前記画素にスイッチング素子を介して電位を書き込んだ後に、前記蓄積容量を介した電圧を重畳するように駆動することを特徴とする表示装置の駆動方法。

5 (数 8 4)

$$\alpha_{st} = C_{st} / C_{tot}$$

80. マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、対向電極とを備えた表示装置を駆動する方法であって、

10 前記画素電極と前記走査電極のうち当段の走査電極を除くものとの間に蓄積容量を備え、

ある1つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記走査電極が複数あり、

15 1つの画素において画素電極に接続される全容量を C_{tot} 、前記スイッチング素子のゲート・ドレイン間容量を C_{gd} 、前記蓄積容量を C_{st} とした場合に、

(数 8 5) で示す第1の容量比 α_{gd} および (数 8 6) で示す第2の容量比 α_{st} がともに、前記蓄積容量が接続される先の前記走査電極に応じて異なった値を有し、

20 かつ前記走査電極の画面端部からの距離に応じて変化している表示装置を、

前記画素にスイッチング素子を介して電位を書き込んだ後に、前記蓄積容量を介した電圧を重畳するように駆動することを特徴とする表示装置の駆動方法。

25 (数 8 5)

$$\alpha_{gd} = C_{gd} / C_{tot}$$

(数 8 6)

$$\alpha_{st} = C_{st} / C_{tot}$$

8 1. 対向する 2 枚の基板のうち、一方の基板の対向面側に、行列状に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極と、前記ゲート配線に順次ゲートパルスを提供するゲート駆動回路と前記ソース配線に映像信号を提供するソース駆動回路とを備え、前記蓄積容量がゲート信号の供給側から離れるに従って小さくなるように形成され、前記蓄積容量の減少に伴って前記薄膜トランジスタが小さくなるよう構成した表示装置において、

2 配線以上のゲート配線に同時にゲートパルスを印加する表示装置の駆動方法。

8 2. 対向する 2 枚の基板のうち、一方の基板の対向面側に、行列状に配置されたソース配線及びゲート配線、前記ソース配線とゲート配線の各交差点に対応して設けられた薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極、前記画素電極との間で蓄積容量を形成する蓄積容量電極、前記基板あるいは他方の基板上に前記画素電極と対向するように形成された対向電極と、前記ゲート配線に順次ゲートパルスを提供するゲート駆動回路と前記ソース配線に映像信号を提供するソース駆動回路とを備え、前記薄膜トランジスタはゲート配線に接続されたゲート電極、ソース配線に接続されたソース電極、及び画素電極に接続されたドレイン電極から構成され、前記ソース電極とドレイン電極はチャネル幅 W でチャネル長 L を隔てて対向しており、前記蓄積容量電極がゲート信号の供給側から離れるに従って小さくなるように形成され、前記

蓄積容量電極の面積の減少に伴って前記薄膜トランジスタのドレイン電極のチャネル幅 W を小さくするとともに、前記ゲートと前記ドレイン電極の重なりによって形成される静電容量が一定となるよう構成した表示装置において、

- 5 2 配線以上のゲート配線に同時にゲートパルスを印加する表示装置の駆動方法。

8 3. 第 2 のスイッチング素子を備え、前記画素電極が前記第 2 のスイッチング素子のゲート電極を兼ねている、または、前記画素電極が前記第 2 のスイッチング素子のゲート電極に接続されていることを特徴と

- 10 する請求項 7 5 から 8 2 のいずれか 1 項に記載の表示装置の駆動方法。

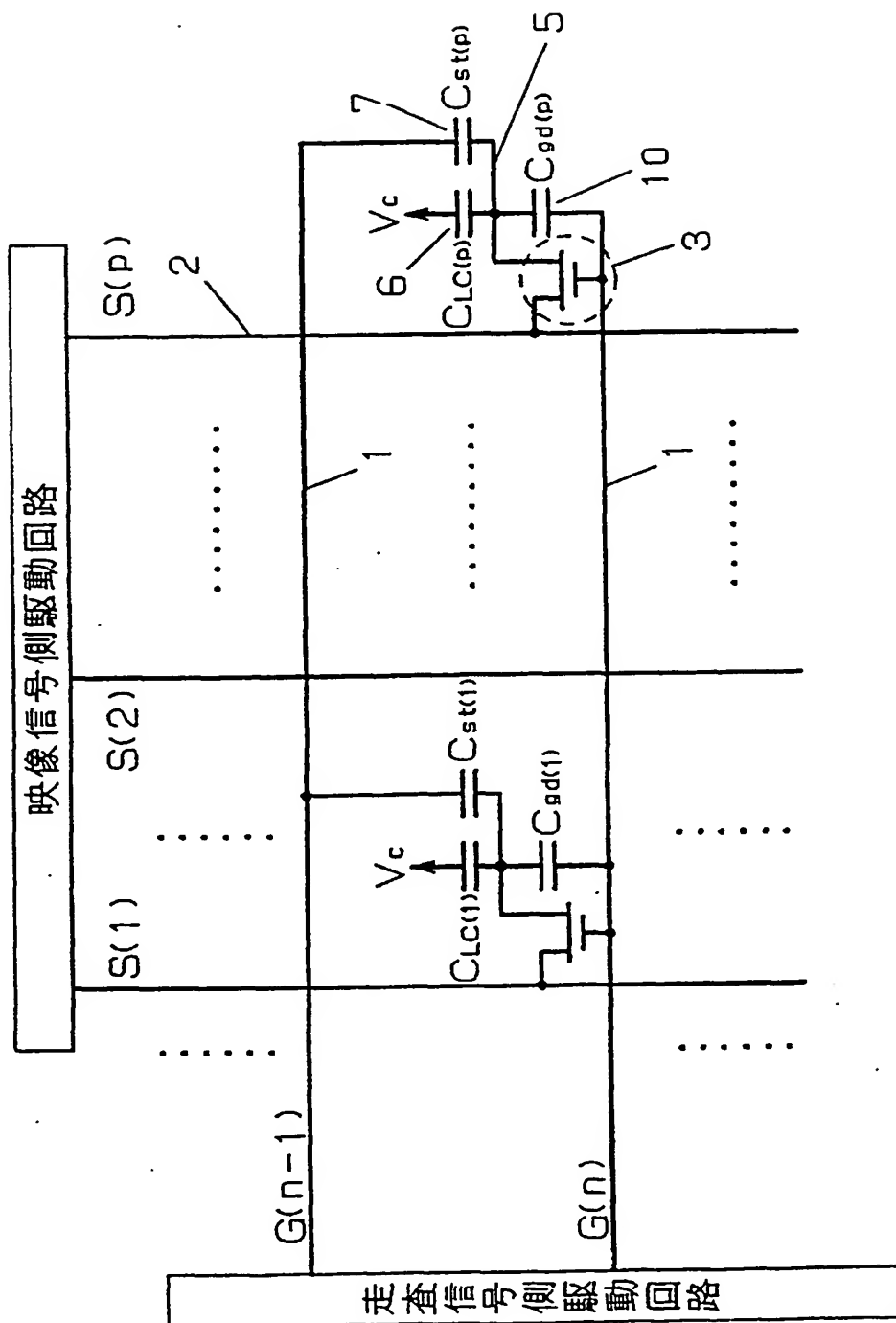


FIG. 1

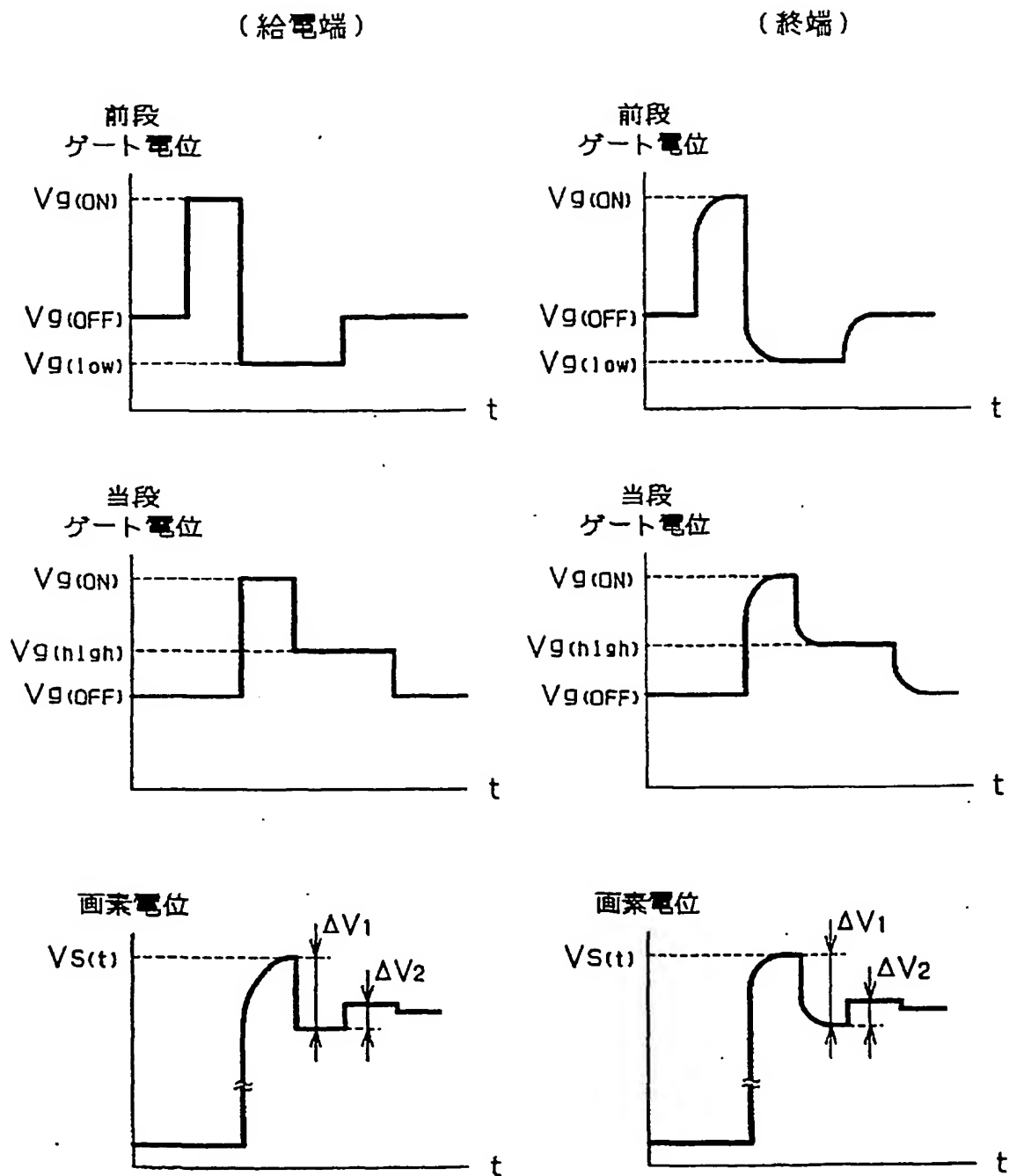


FIG. 2

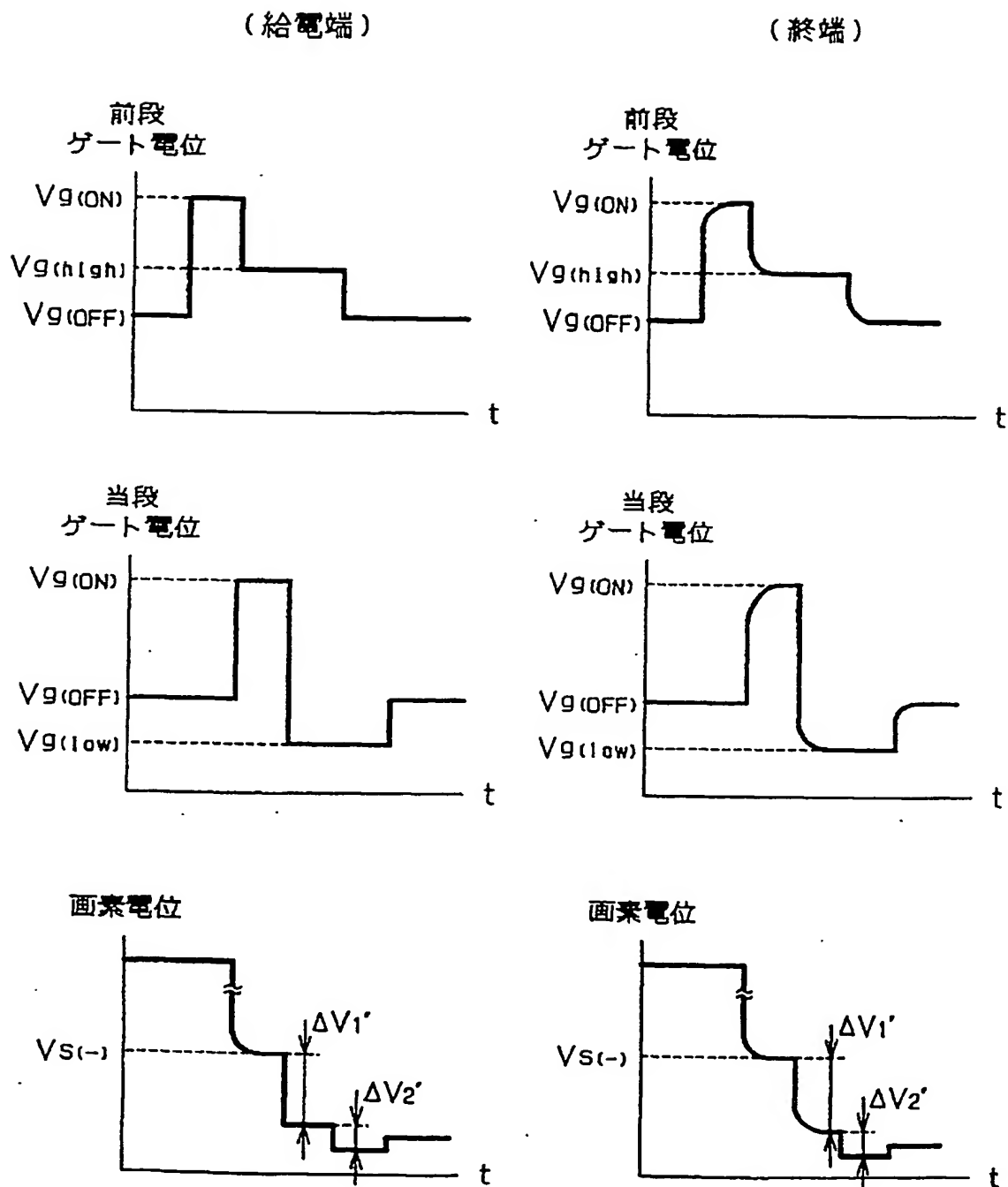


FIG. 3

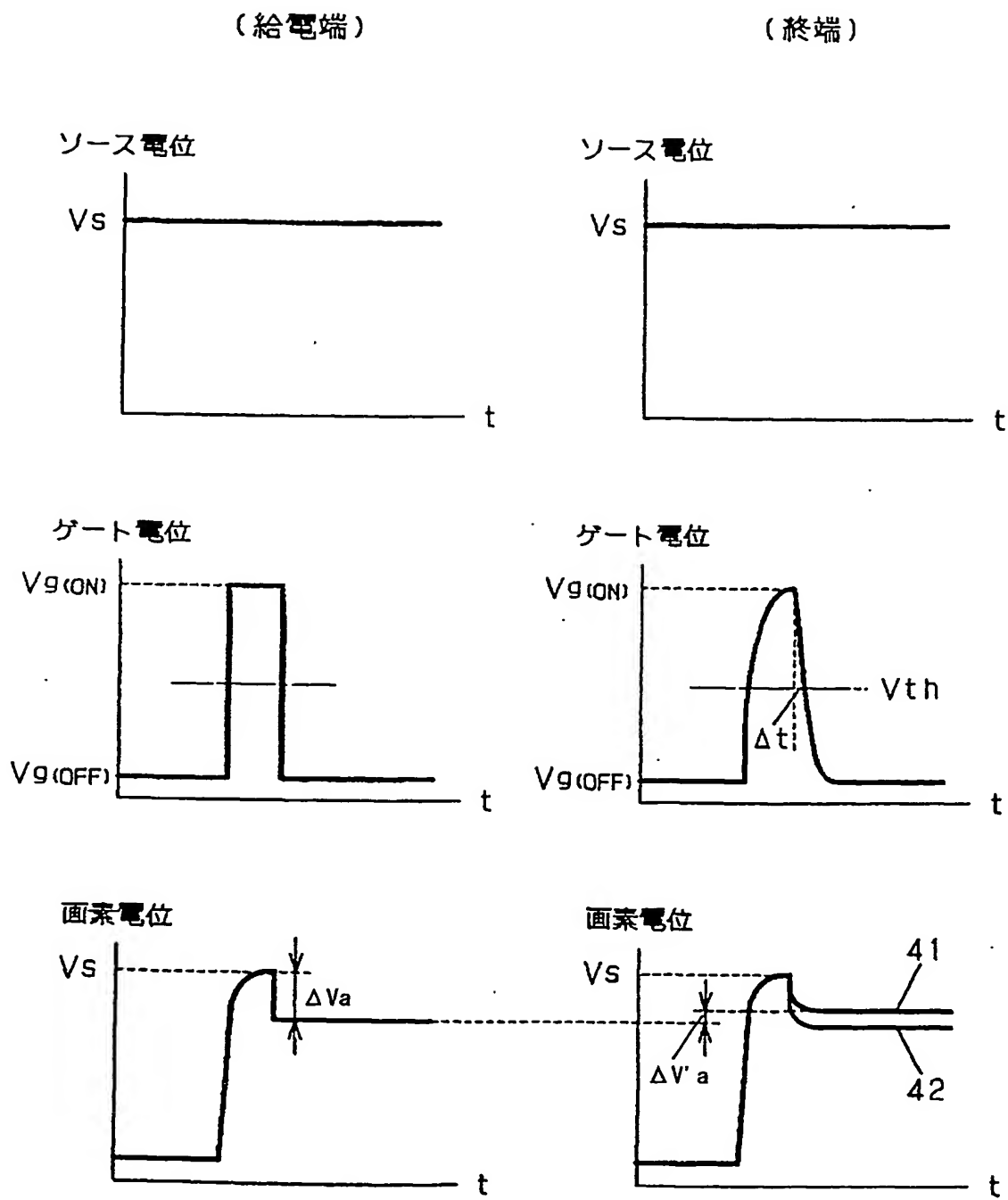


FIG. 4

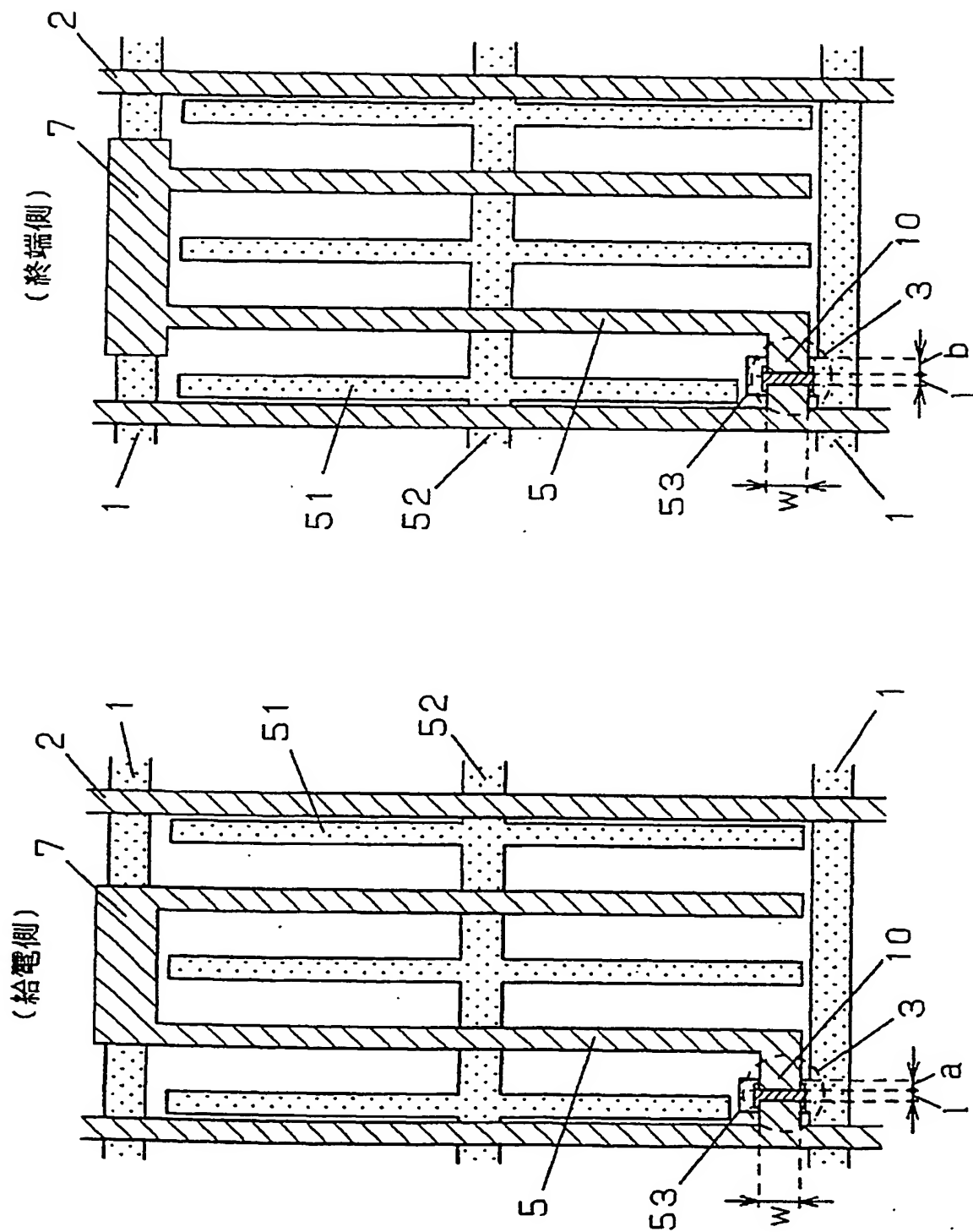
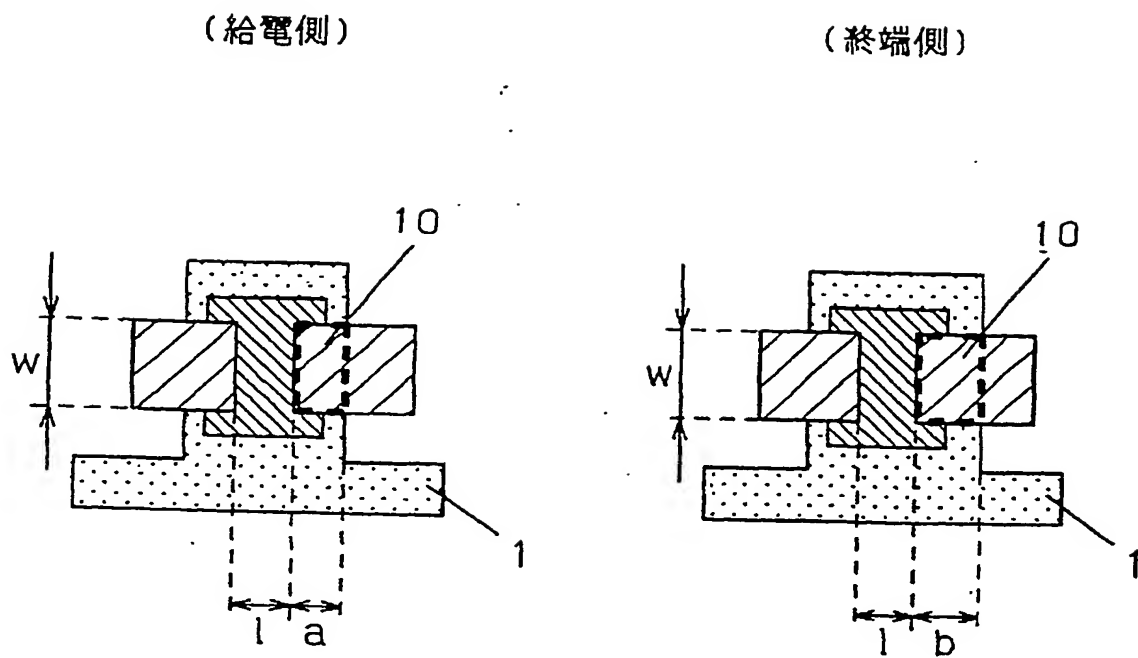


FIG. 5



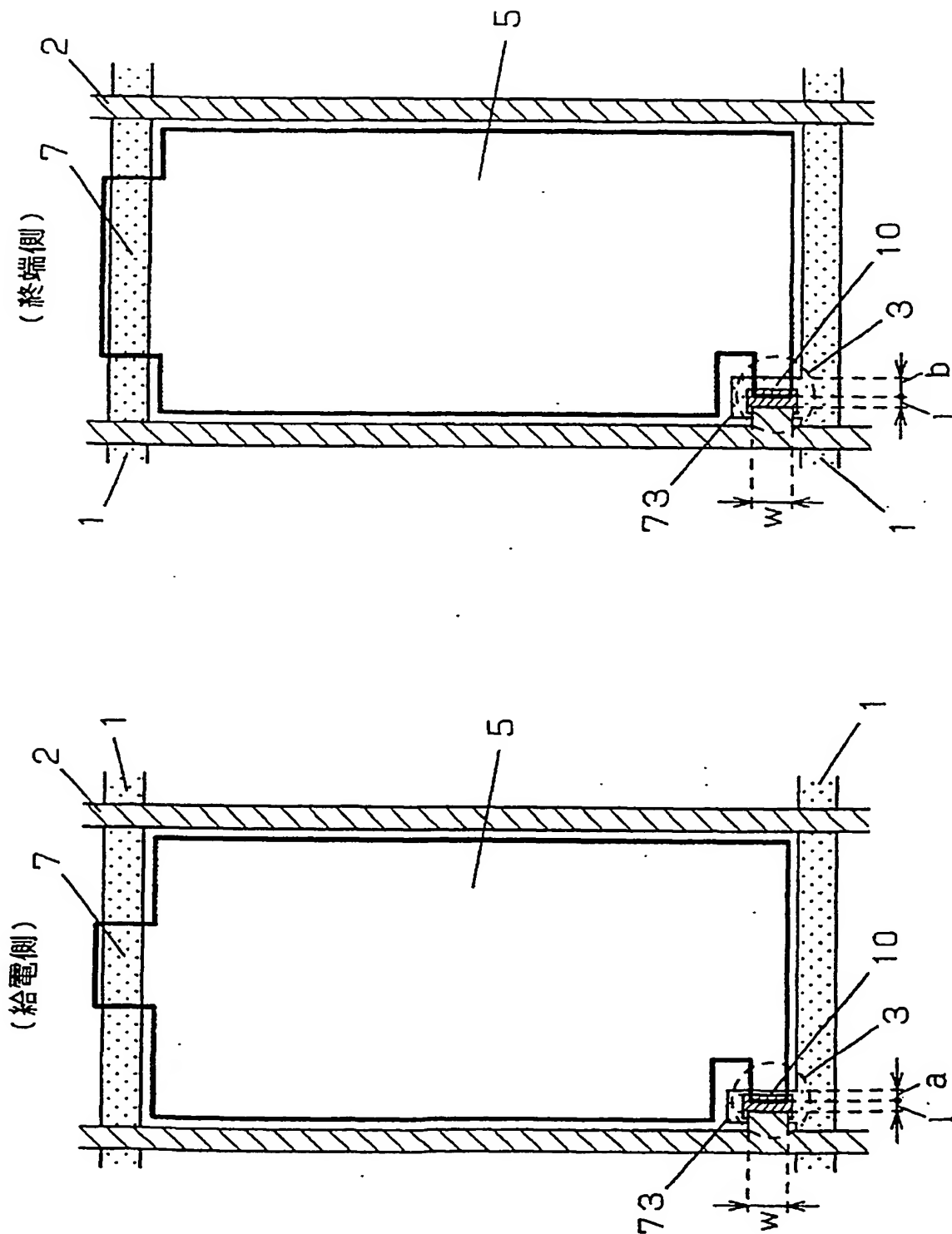


FIG. 7

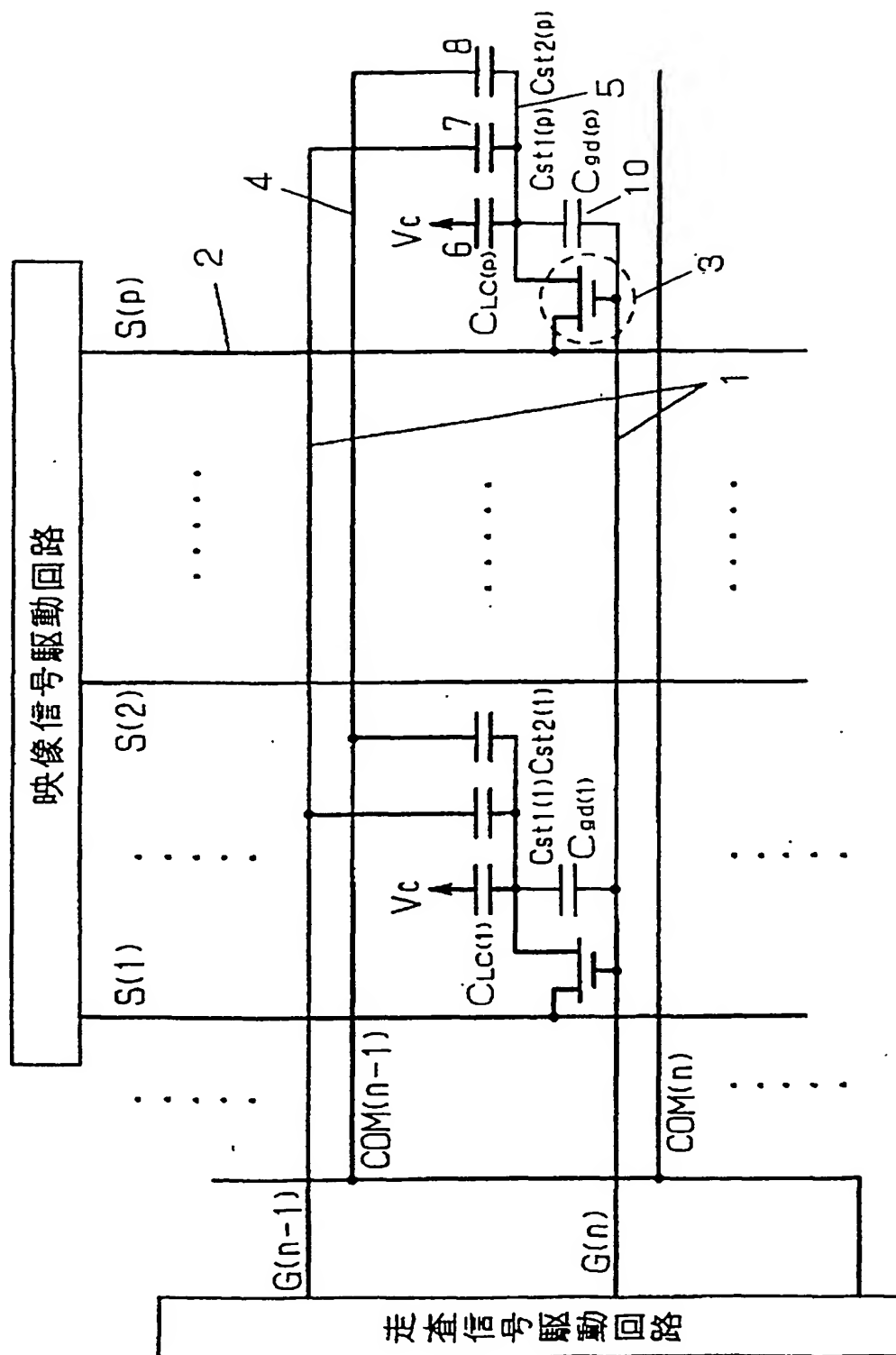


FIG. 8

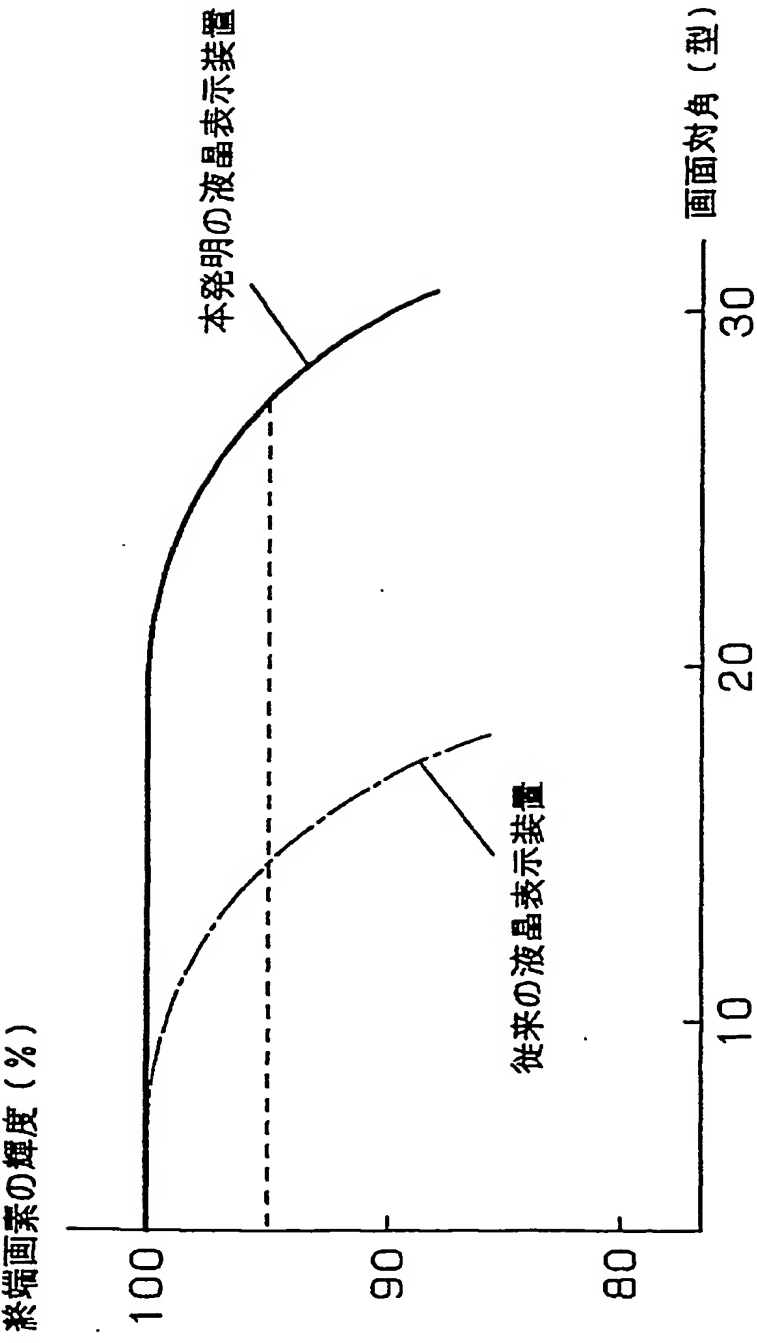


FIG. 9

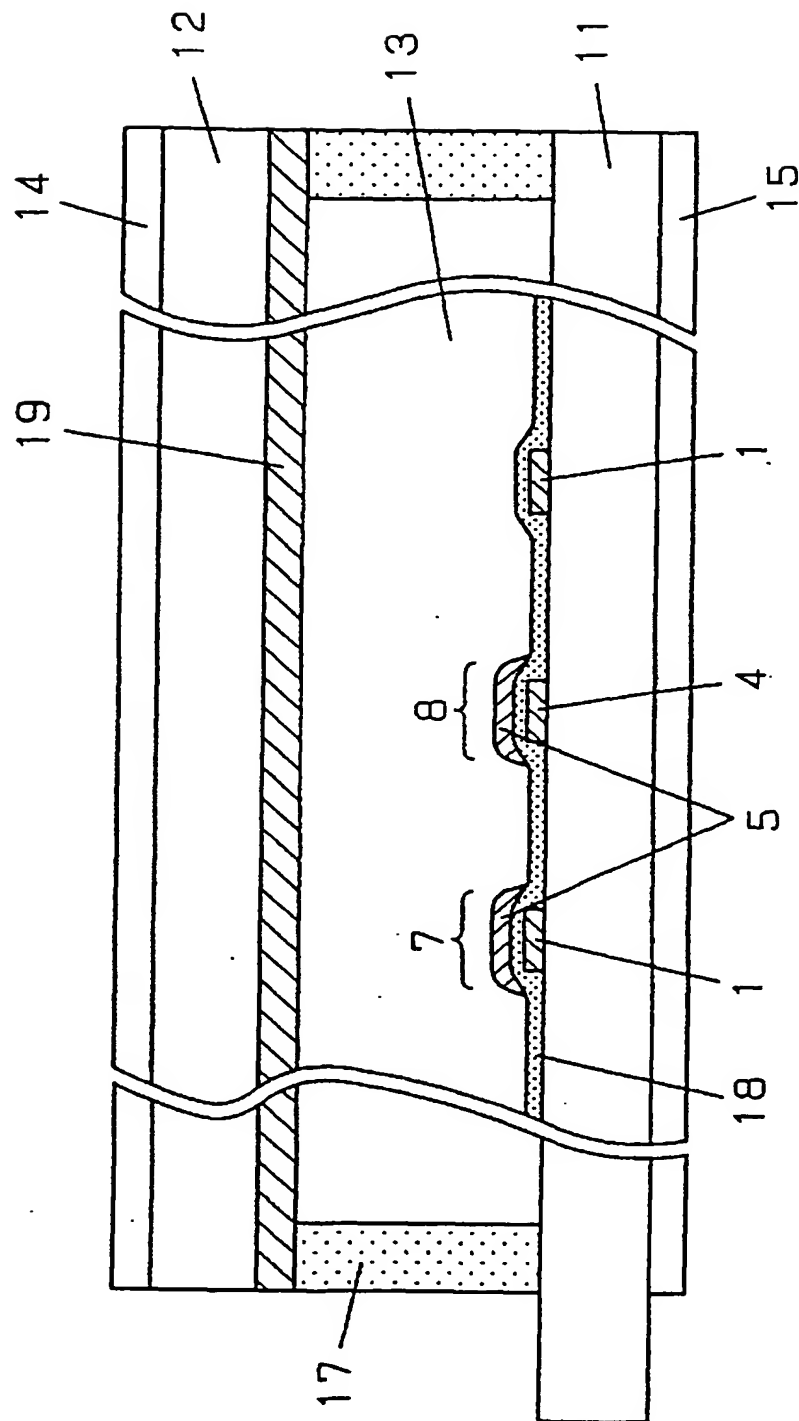


FIG. 10

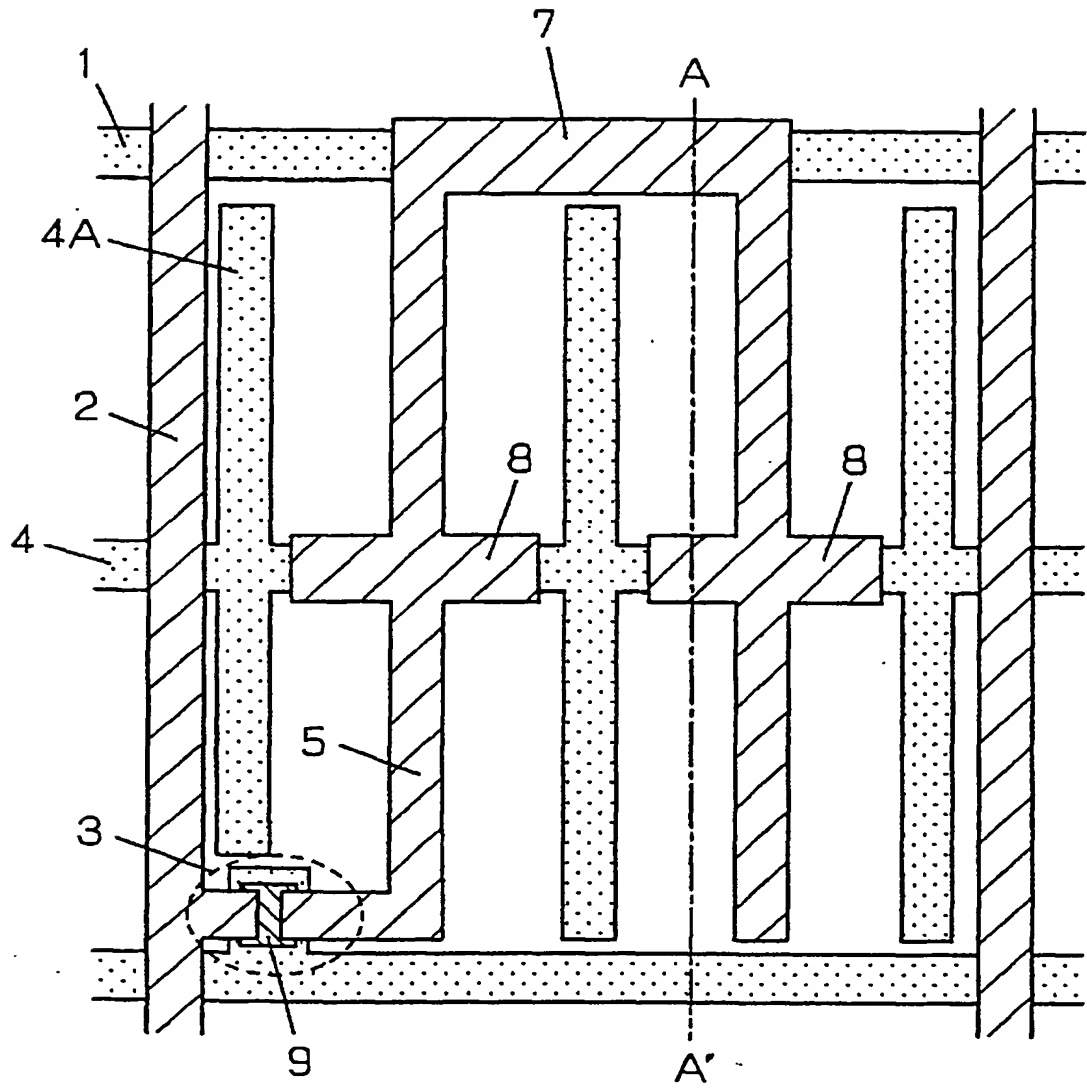


FIG. 11

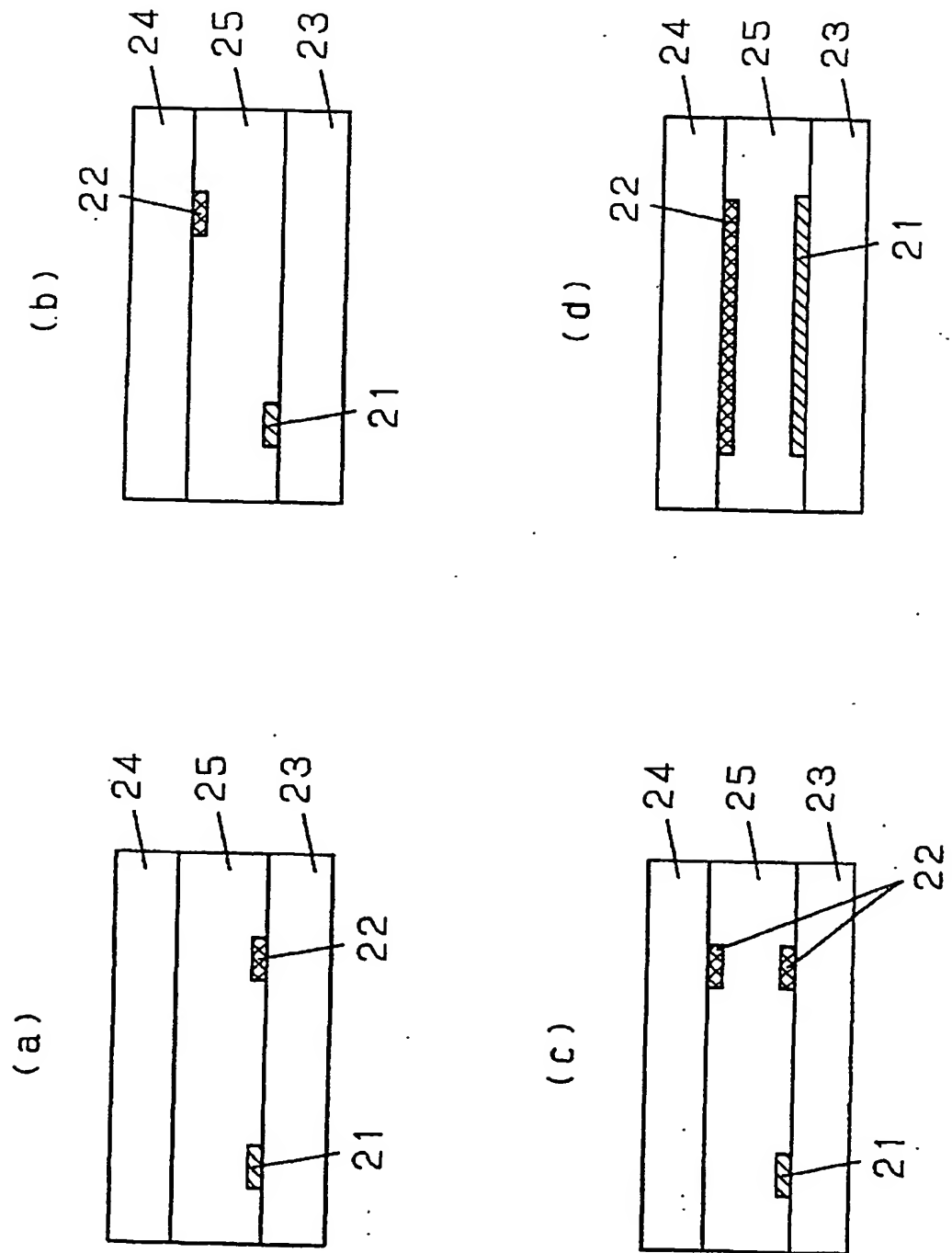


FIG. 12

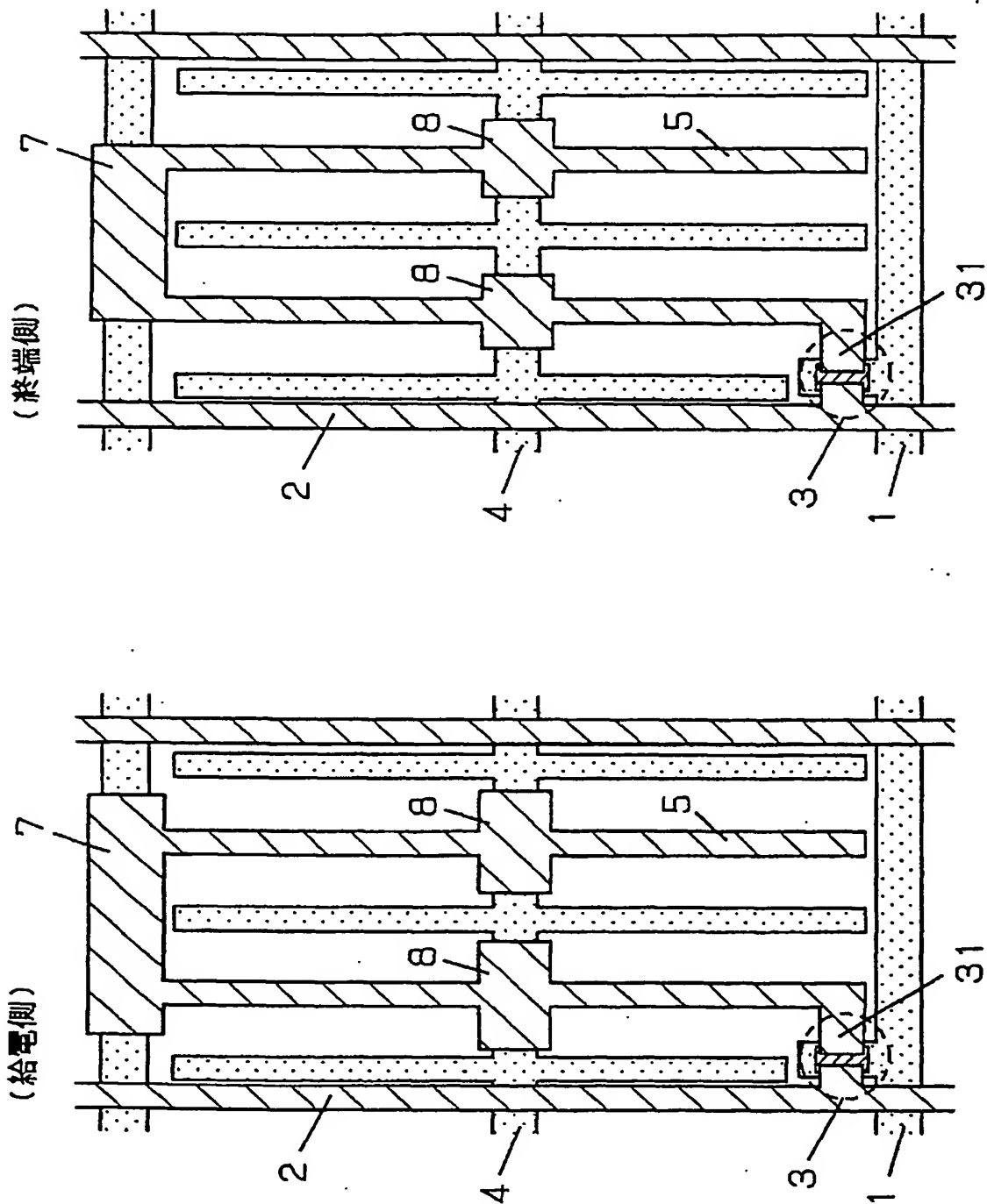


FIG. 13

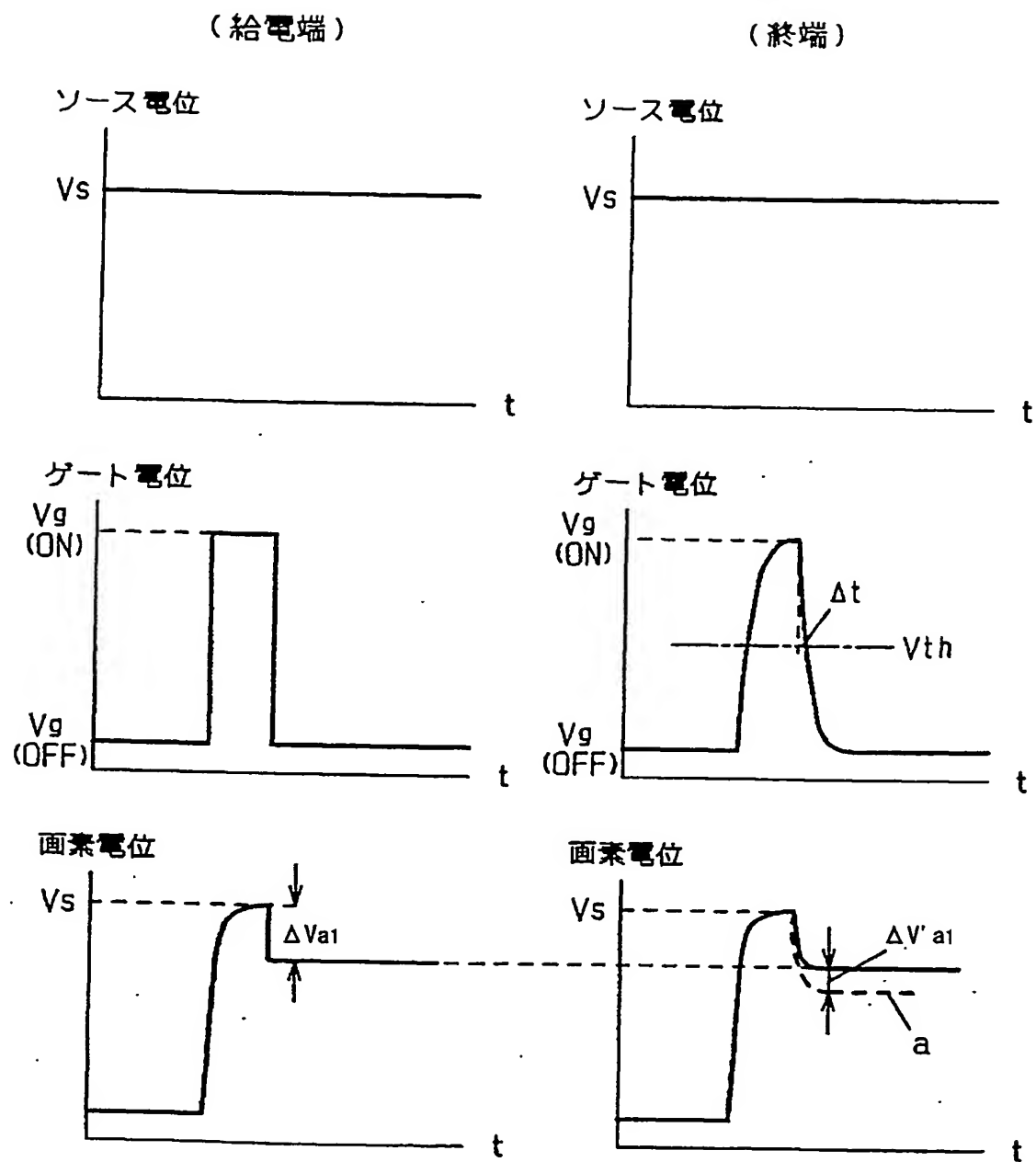


FIG. 14

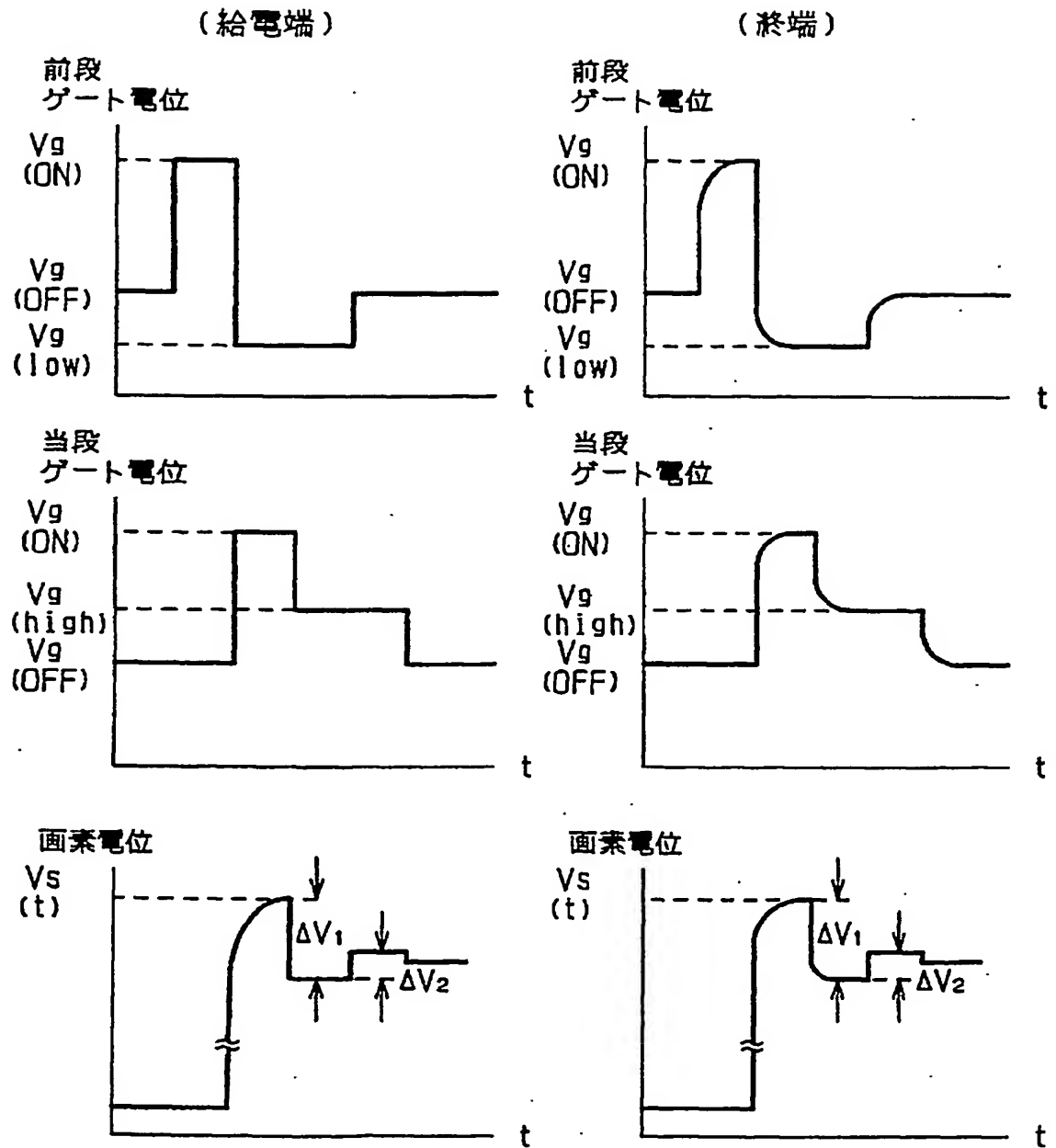


FIG. 15

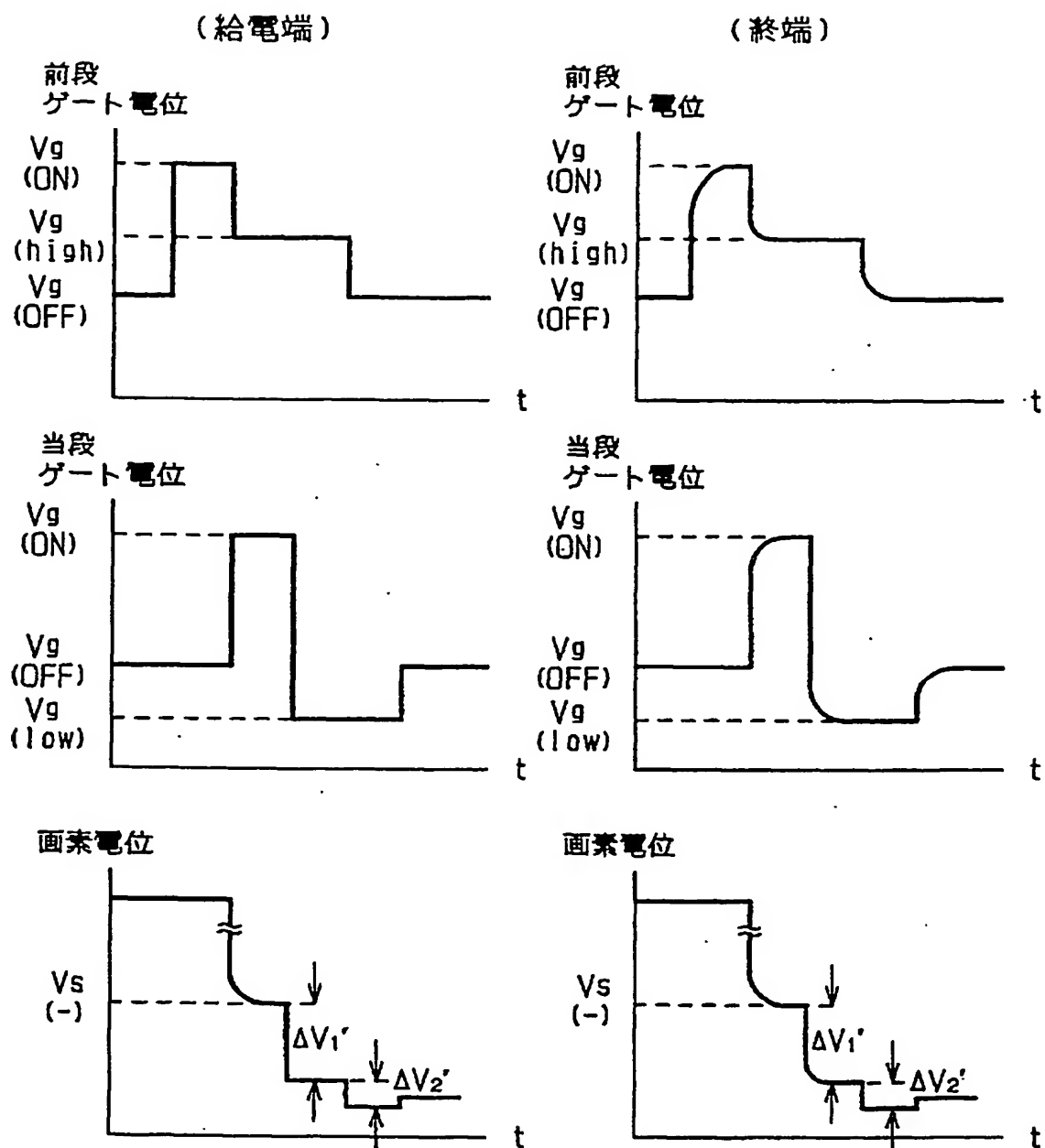


FIG. 16

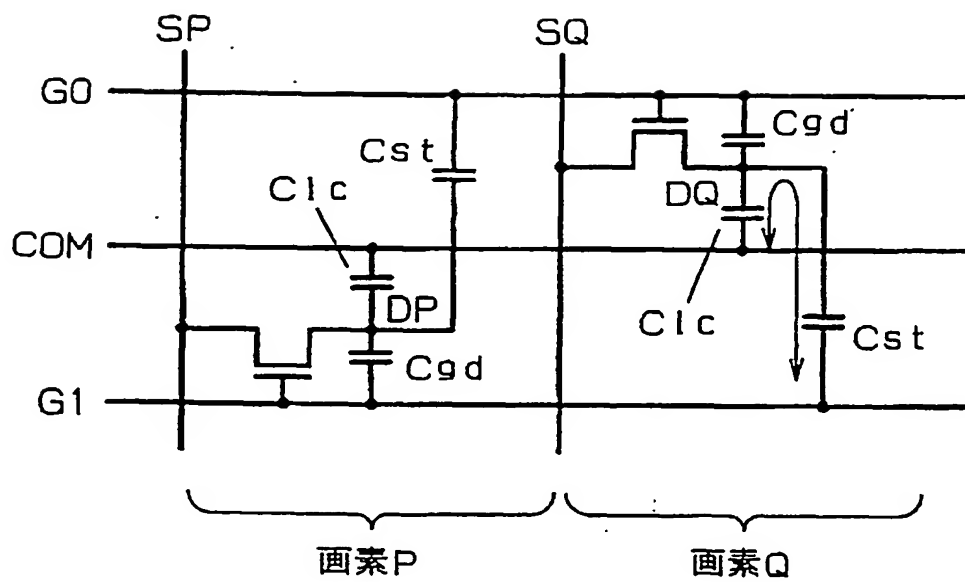


FIG. 17

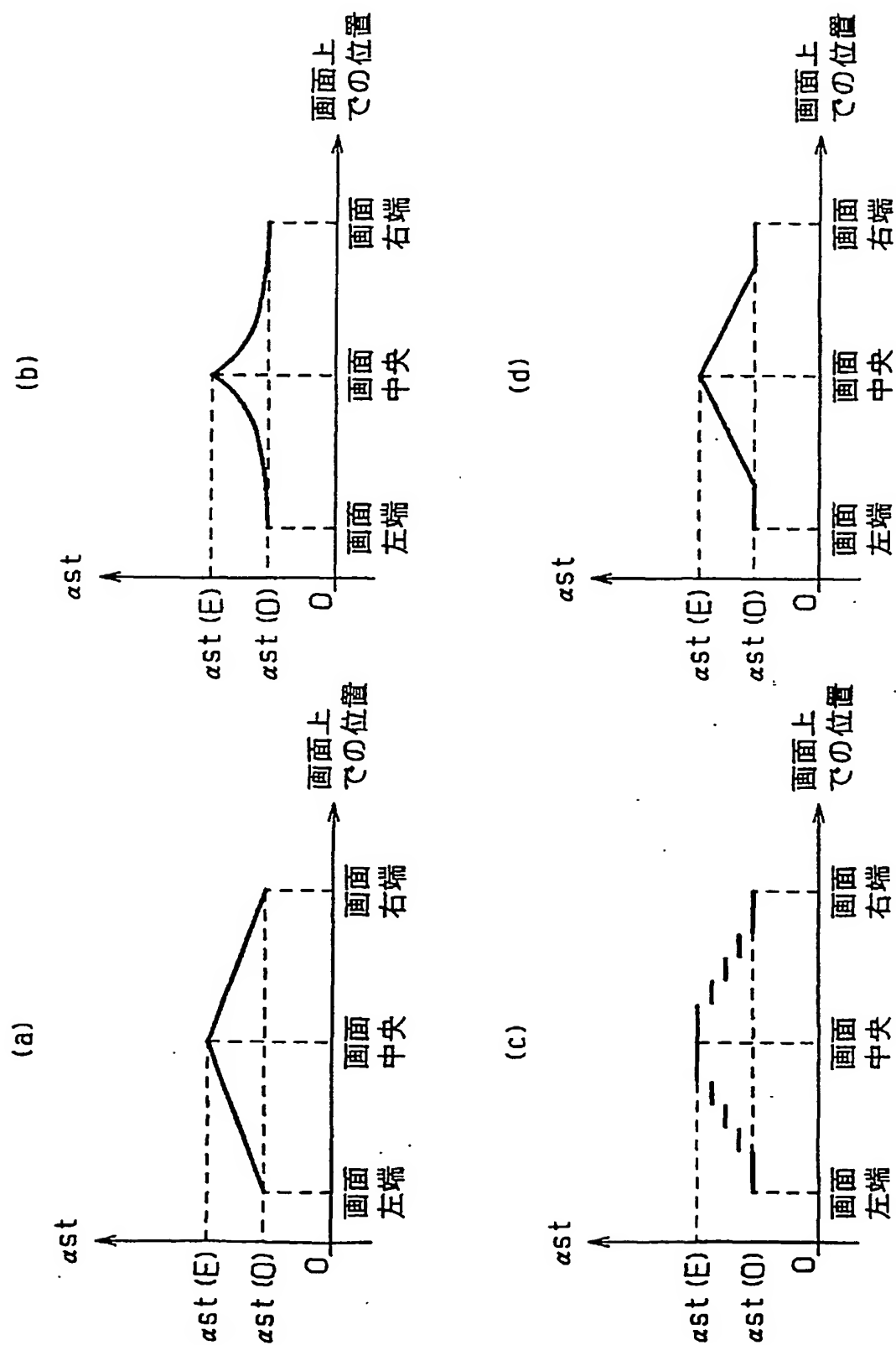


FIG. 18

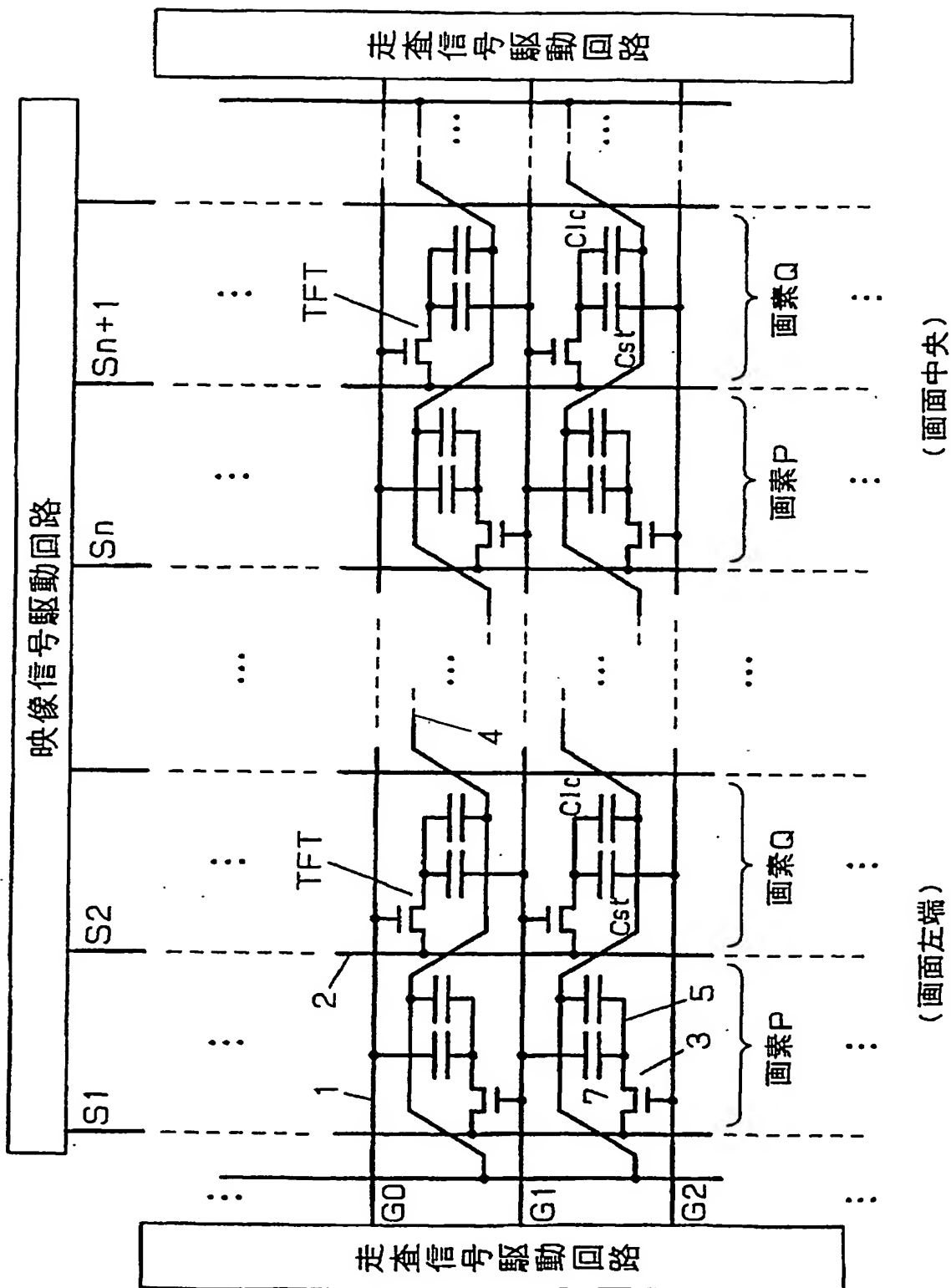
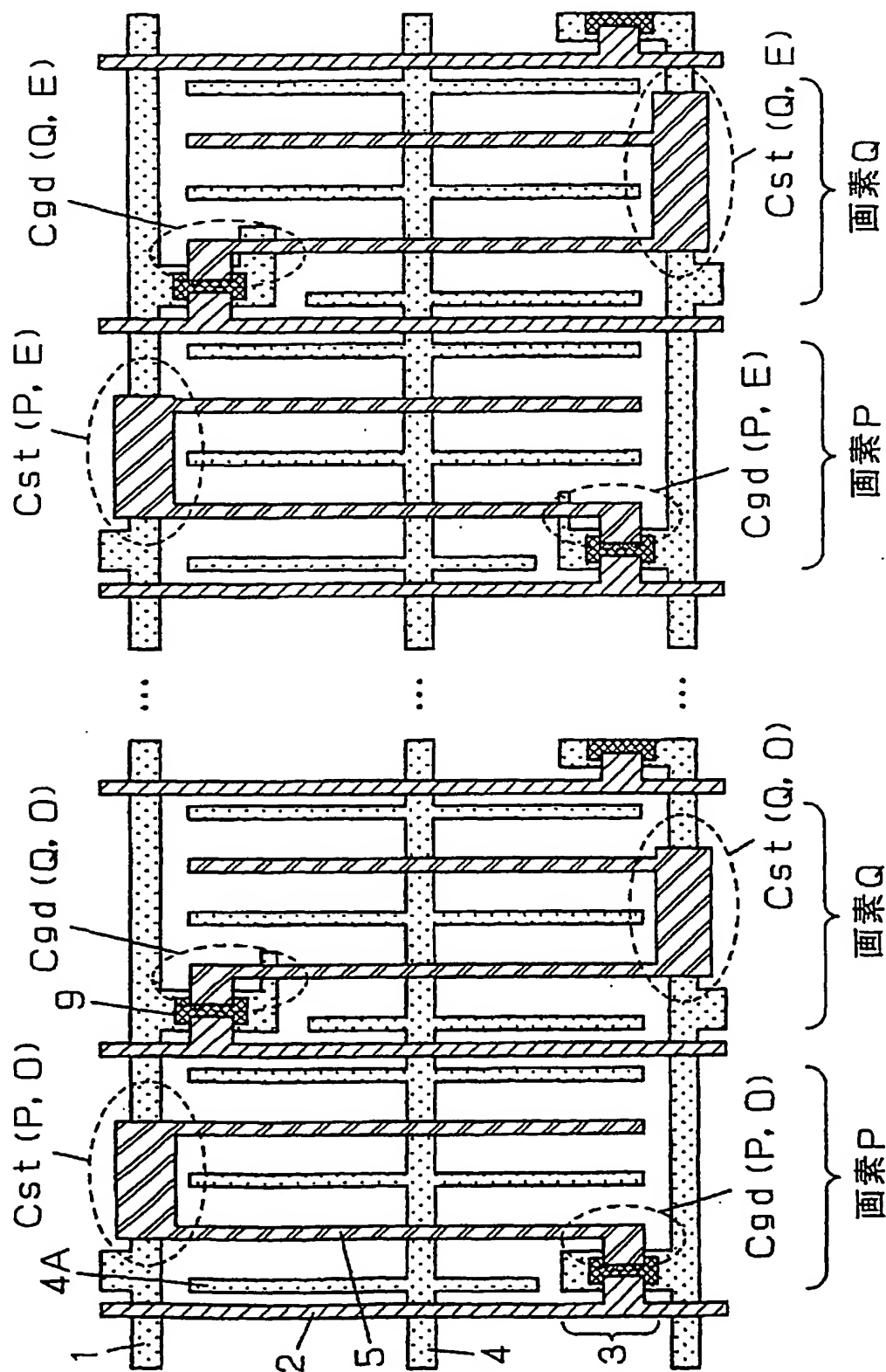


FIG. 19



(画面中央)

FIG. 20

(画面端部)

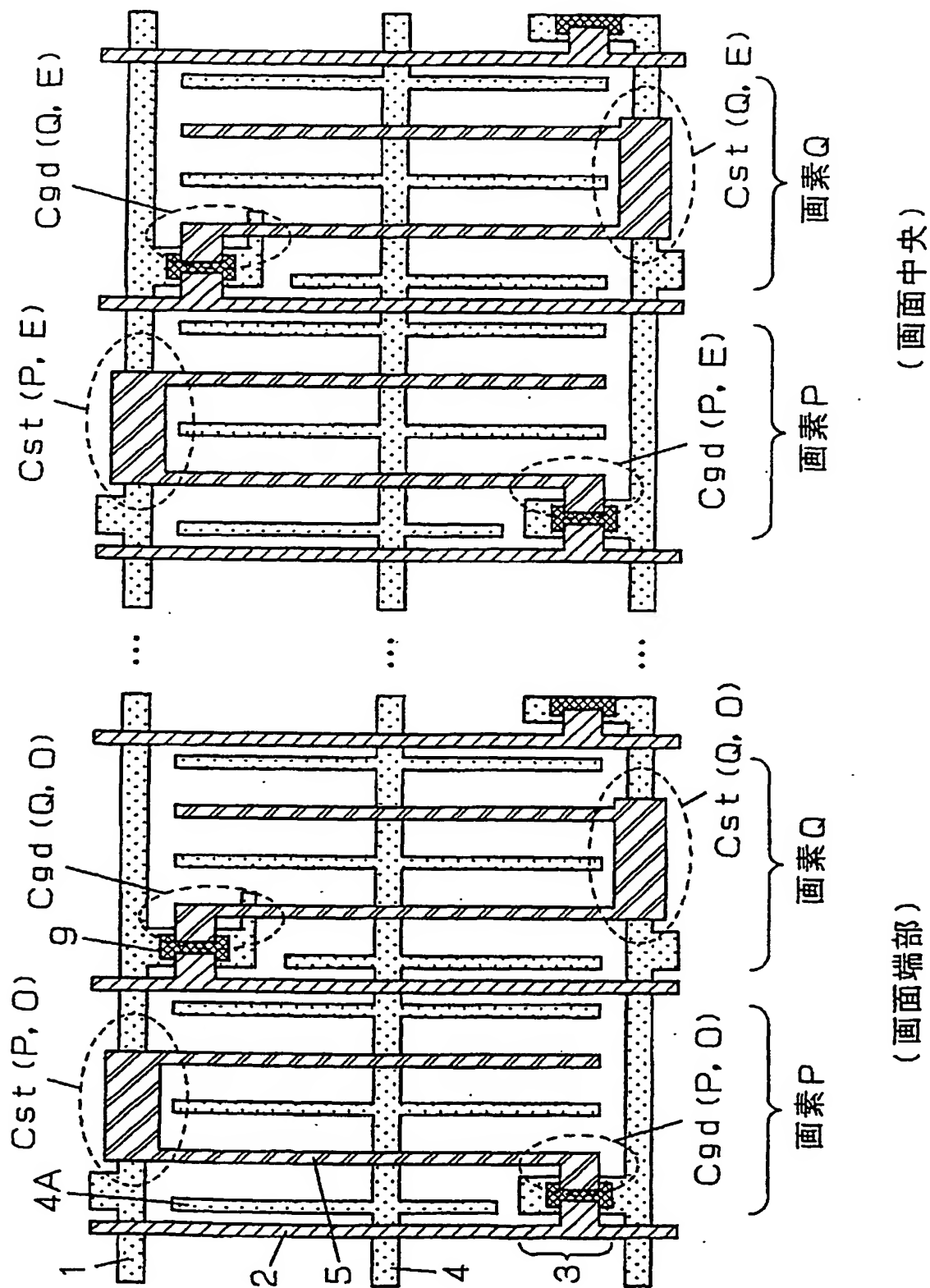
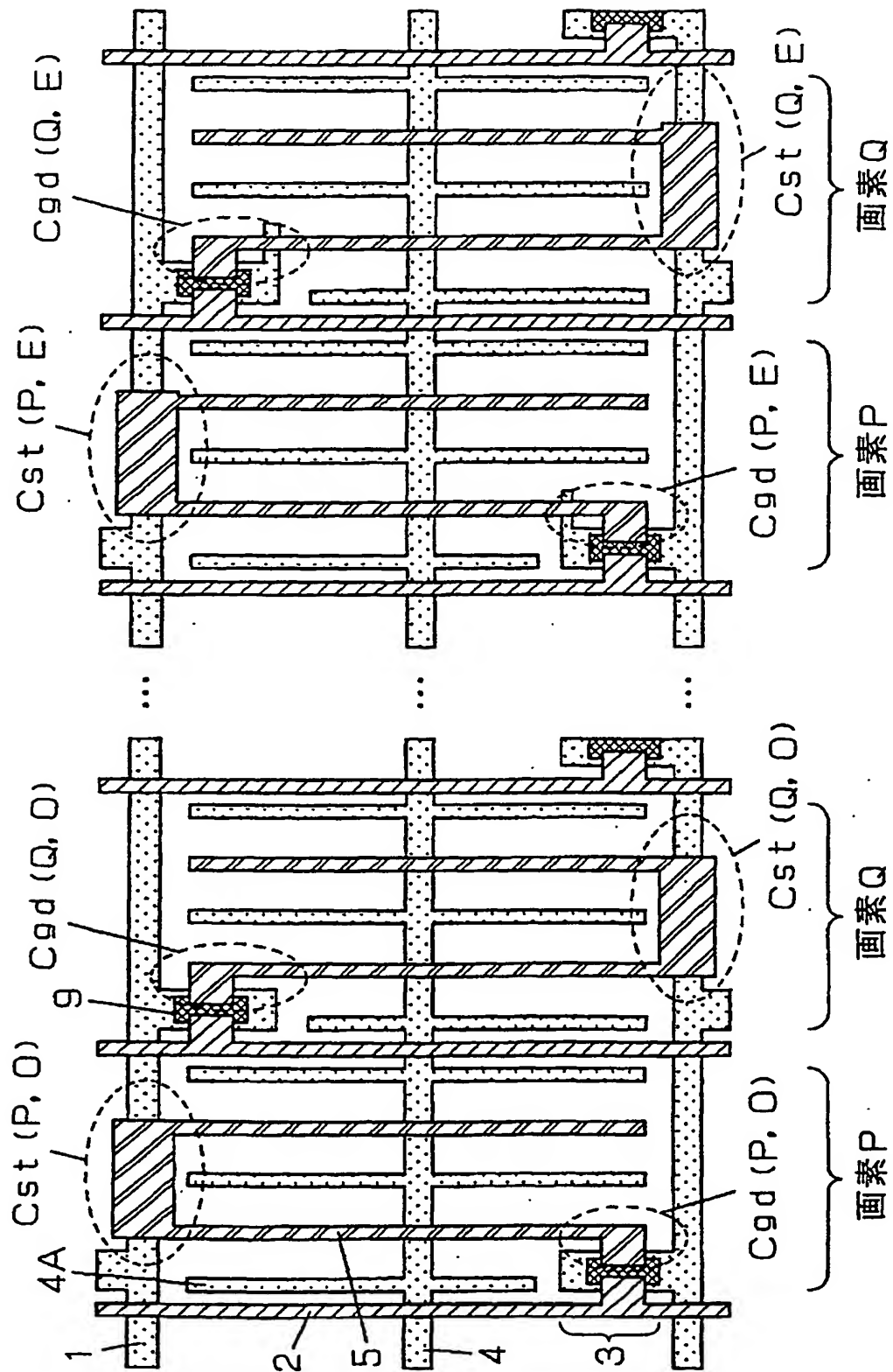
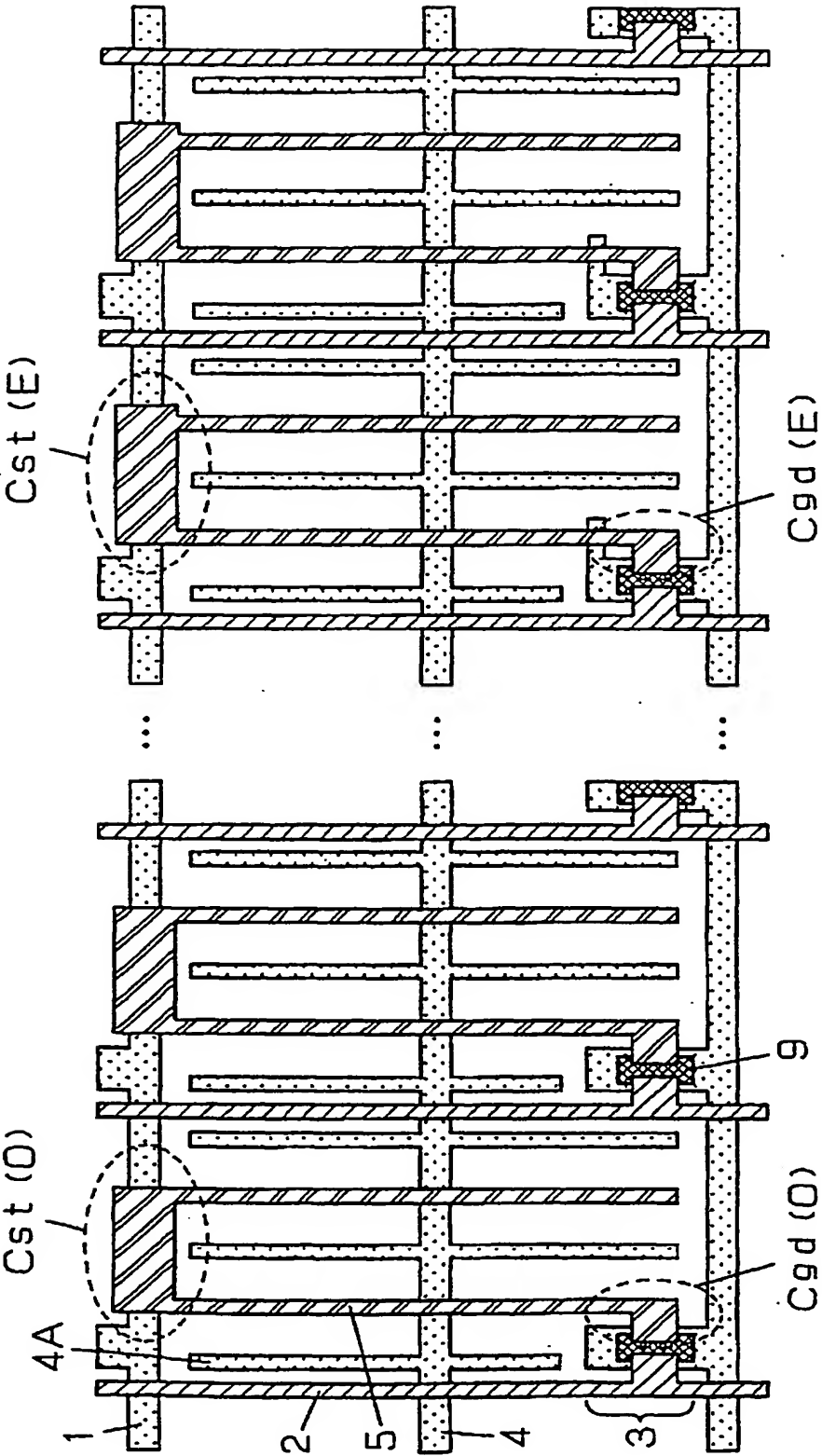


FIG. 21



(画面中央)

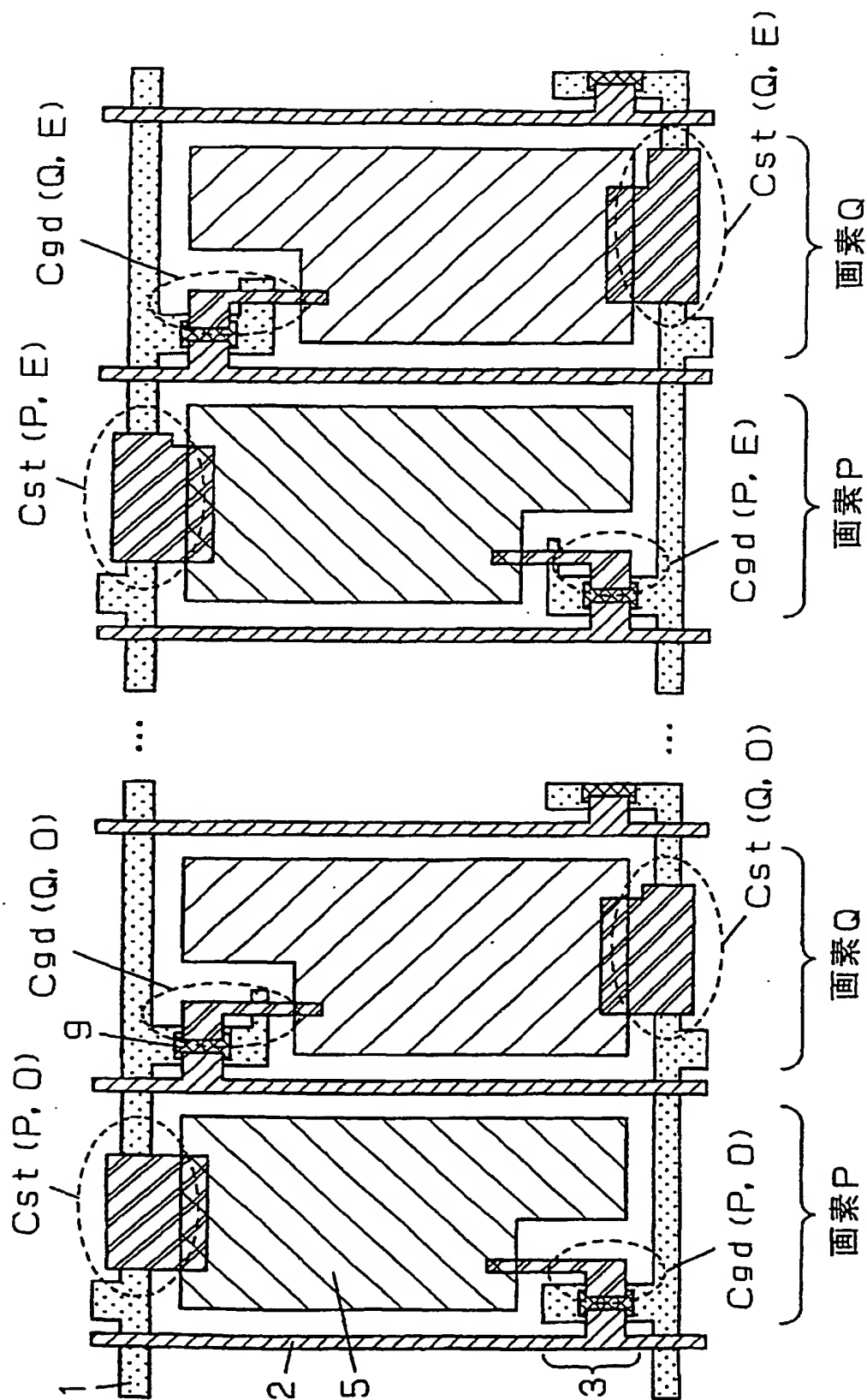
(画面端部)



(画面中央)

(画面左端部)

FIG. 23



(画面中央)

(画面端部)

FIG. 24

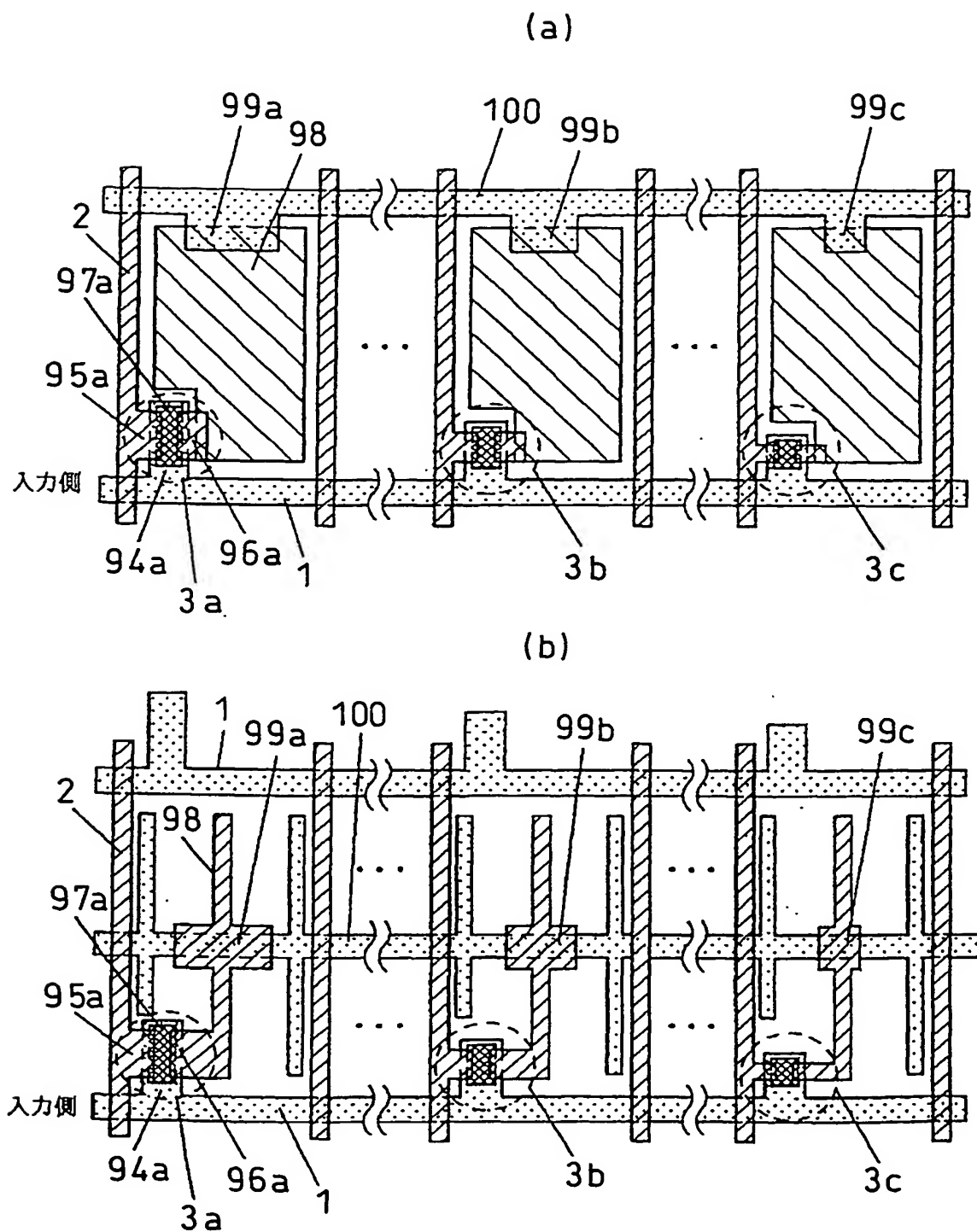


FIG. 25

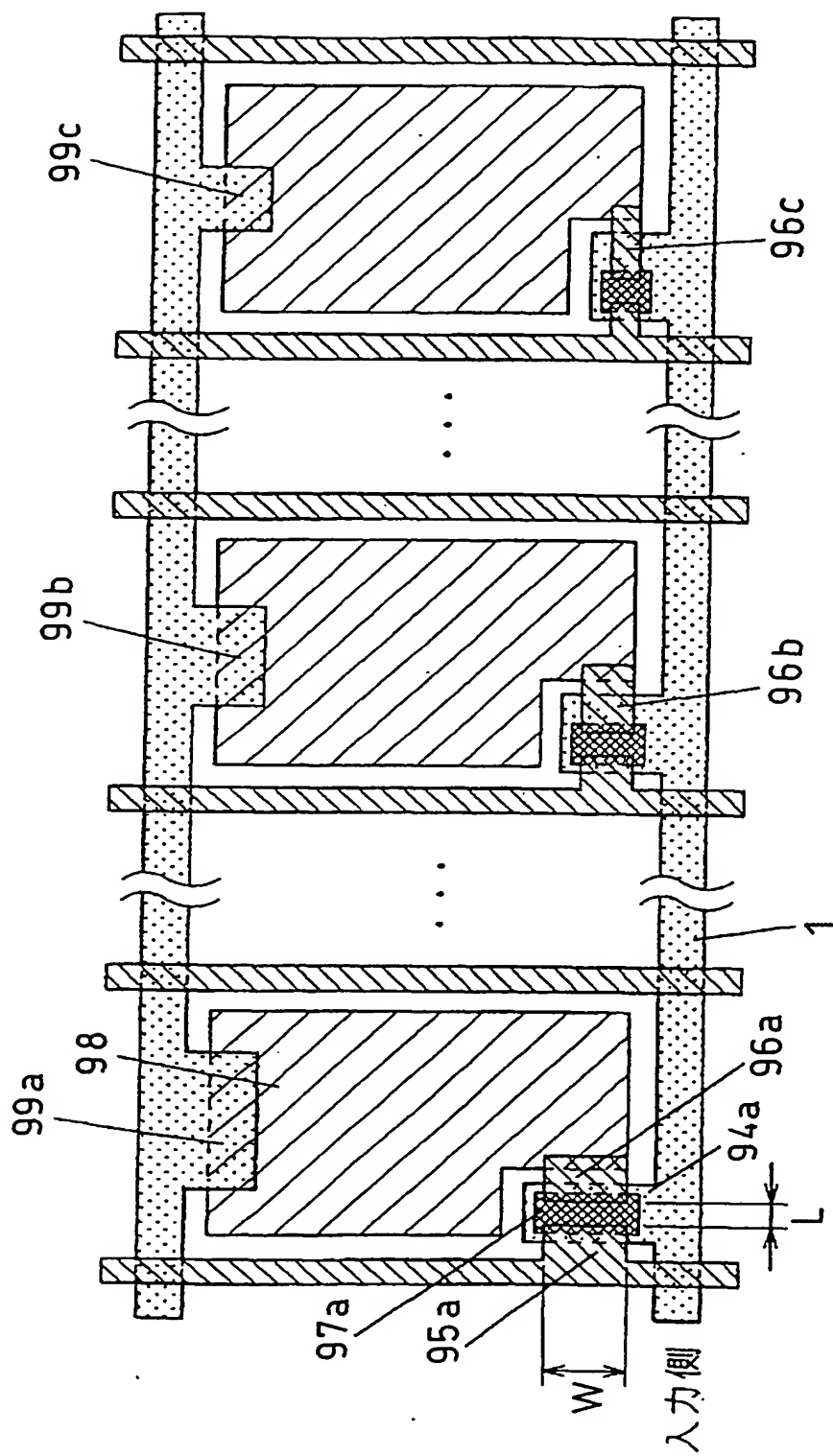


FIG. 26

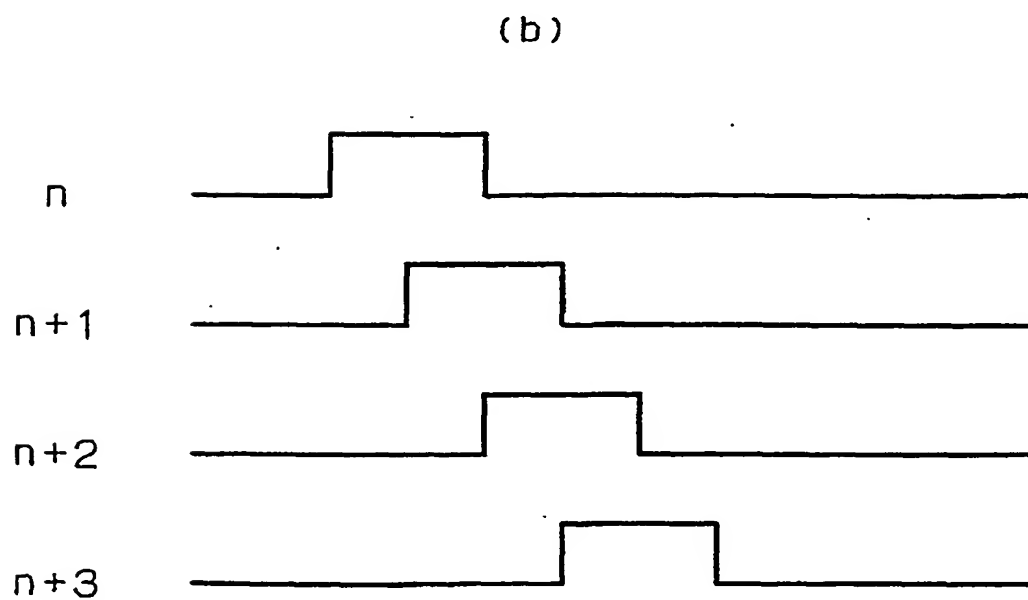
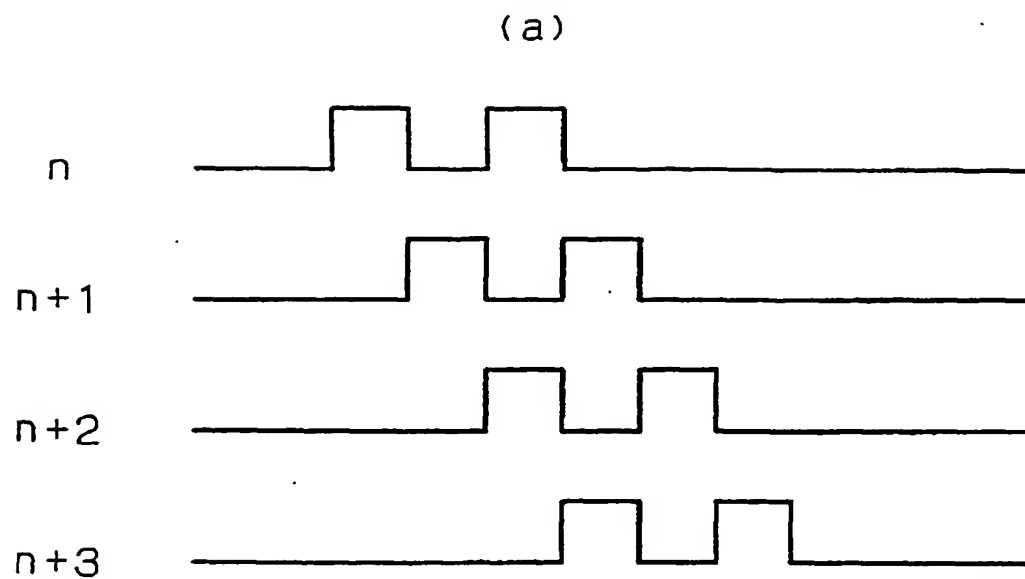
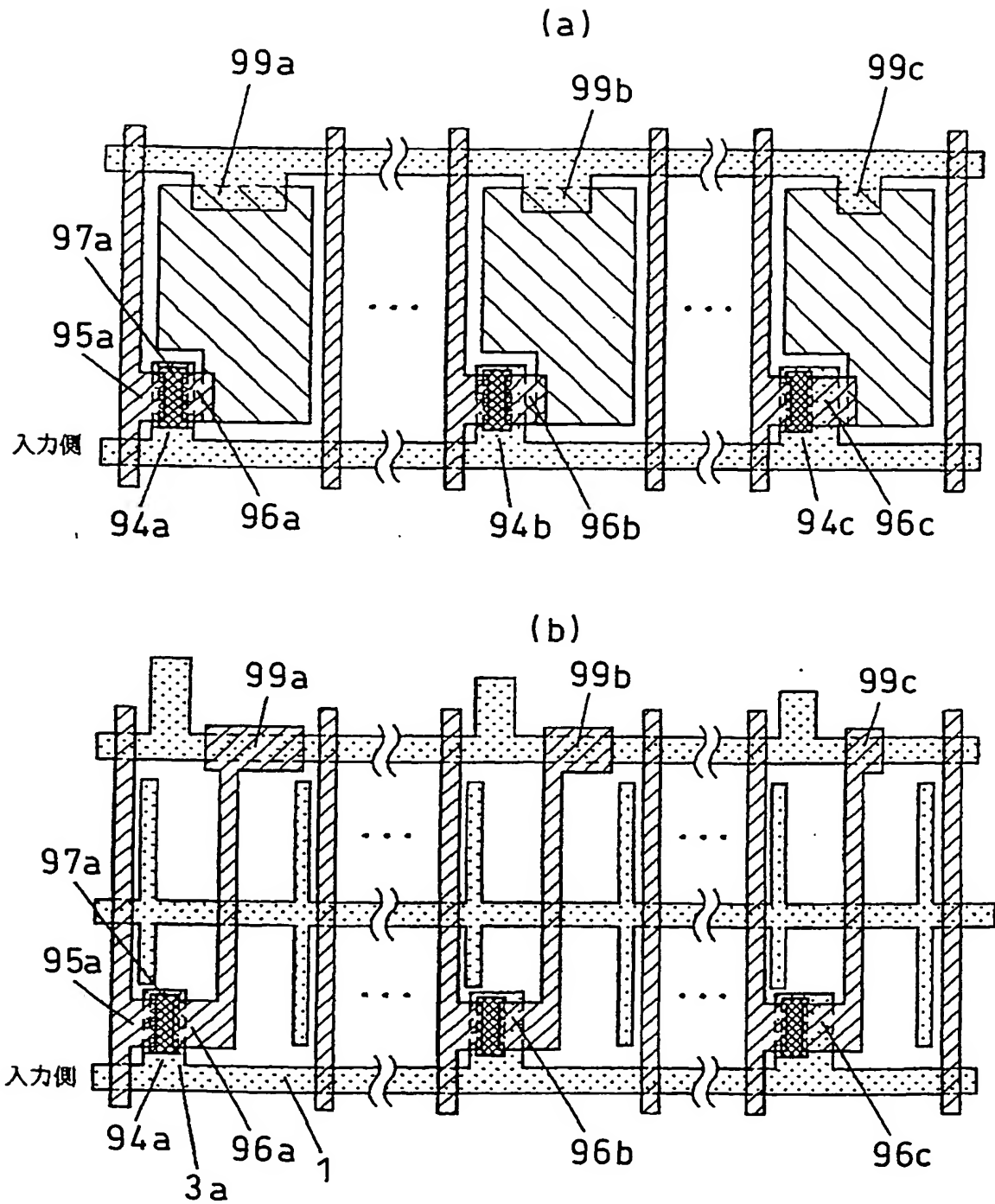
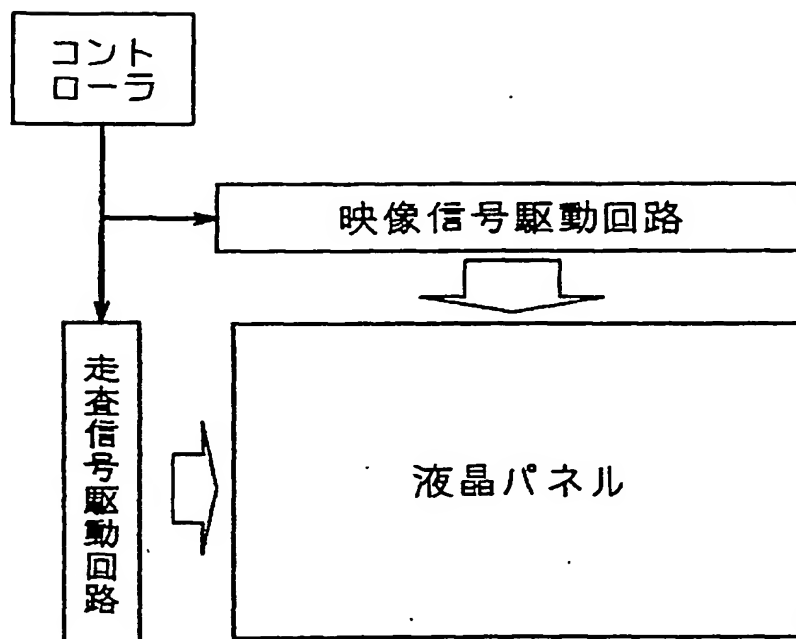


FIG. 27



(a)



(b)

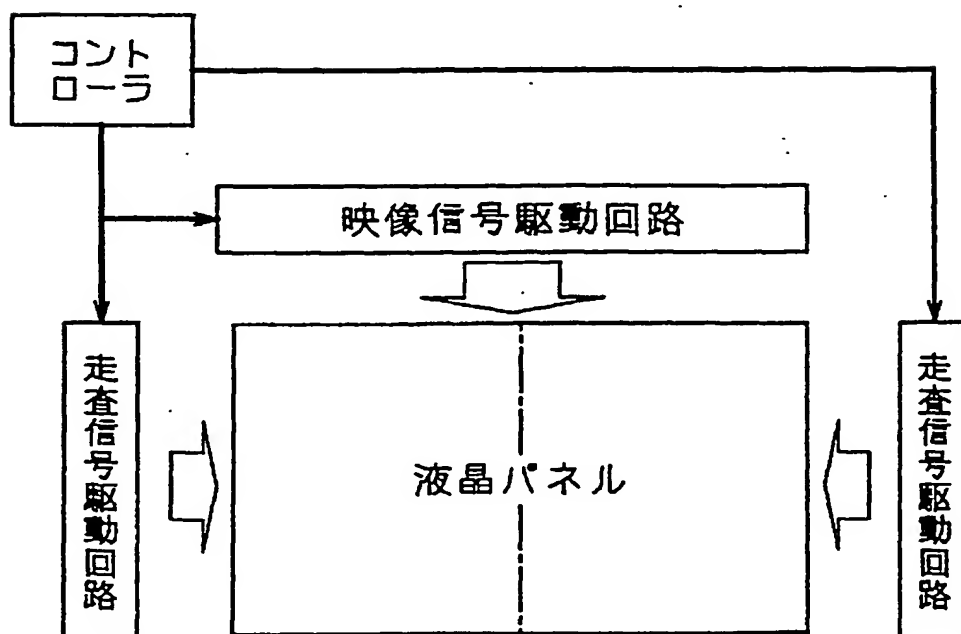


FIG. 29

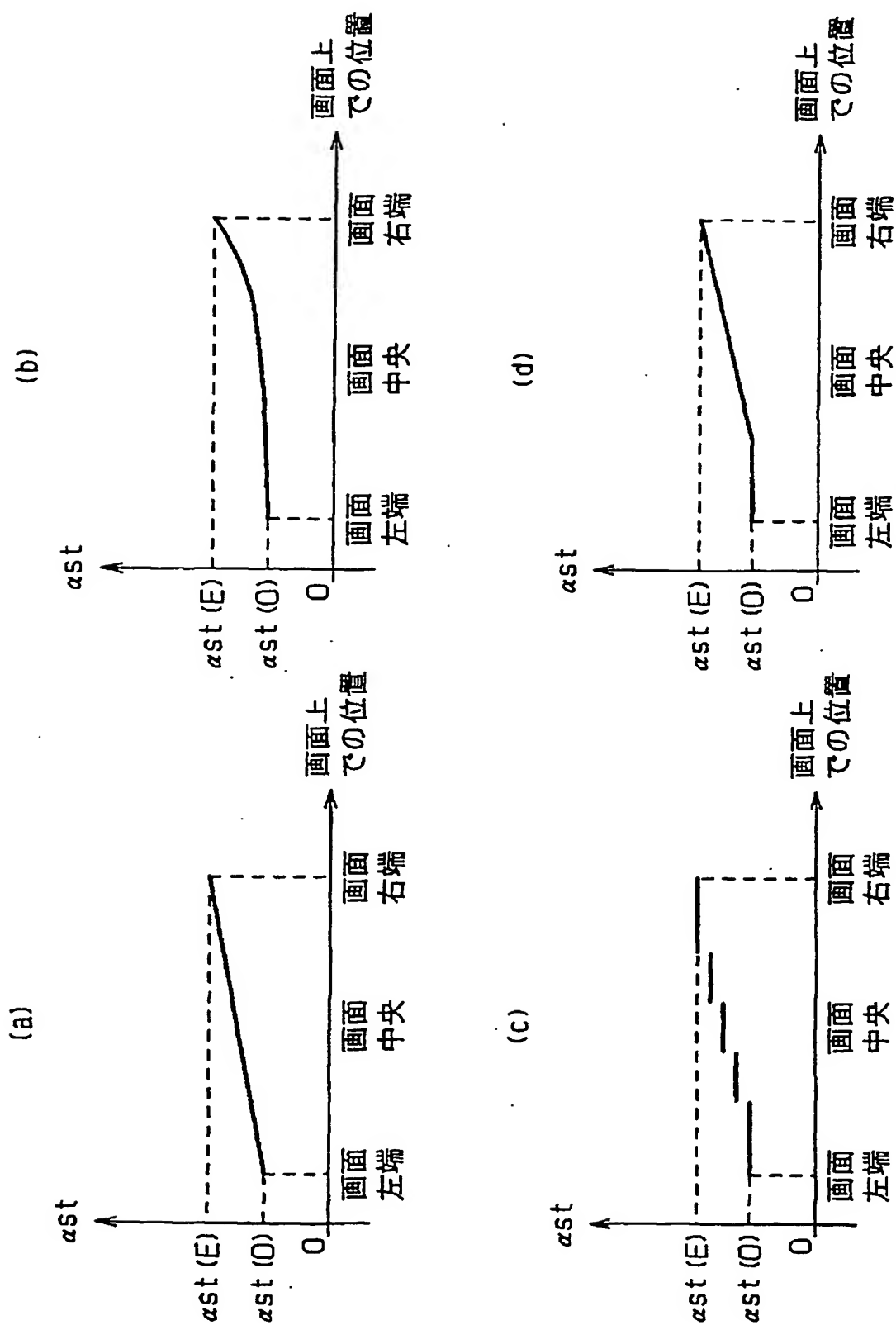


FIG. 30

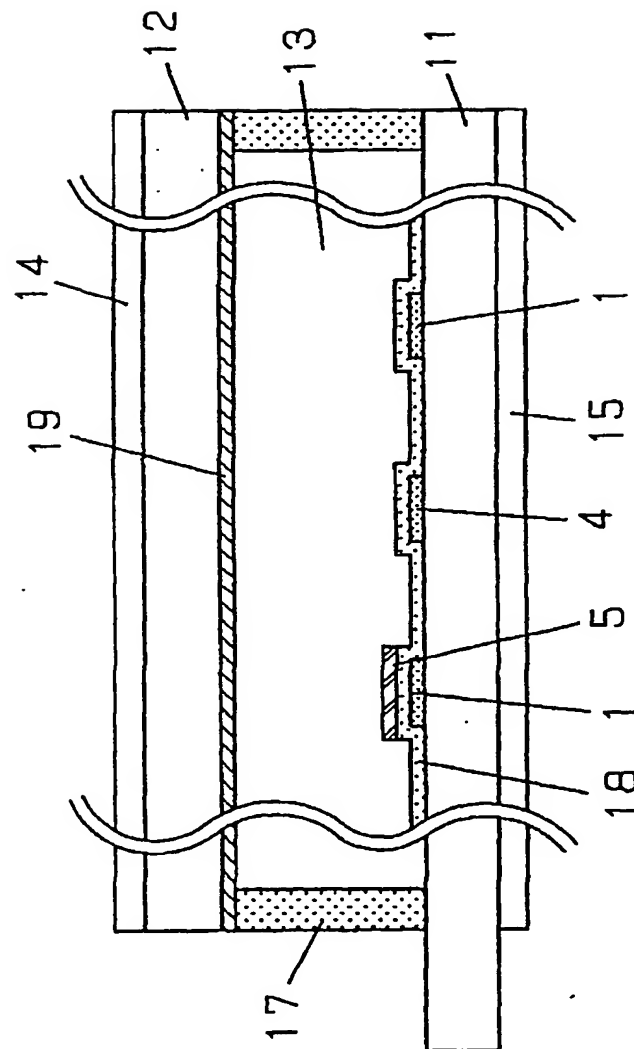


FIG. 31

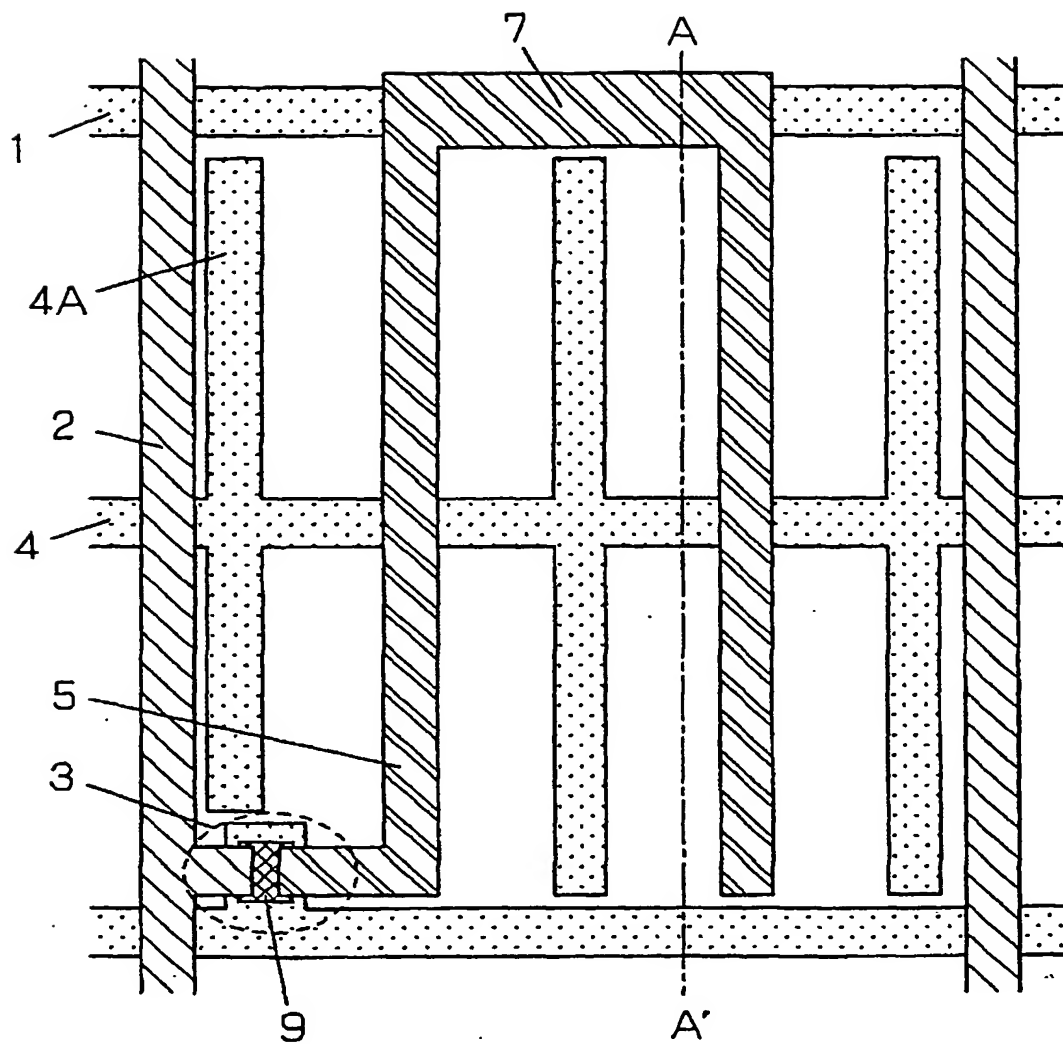


FIG. 32

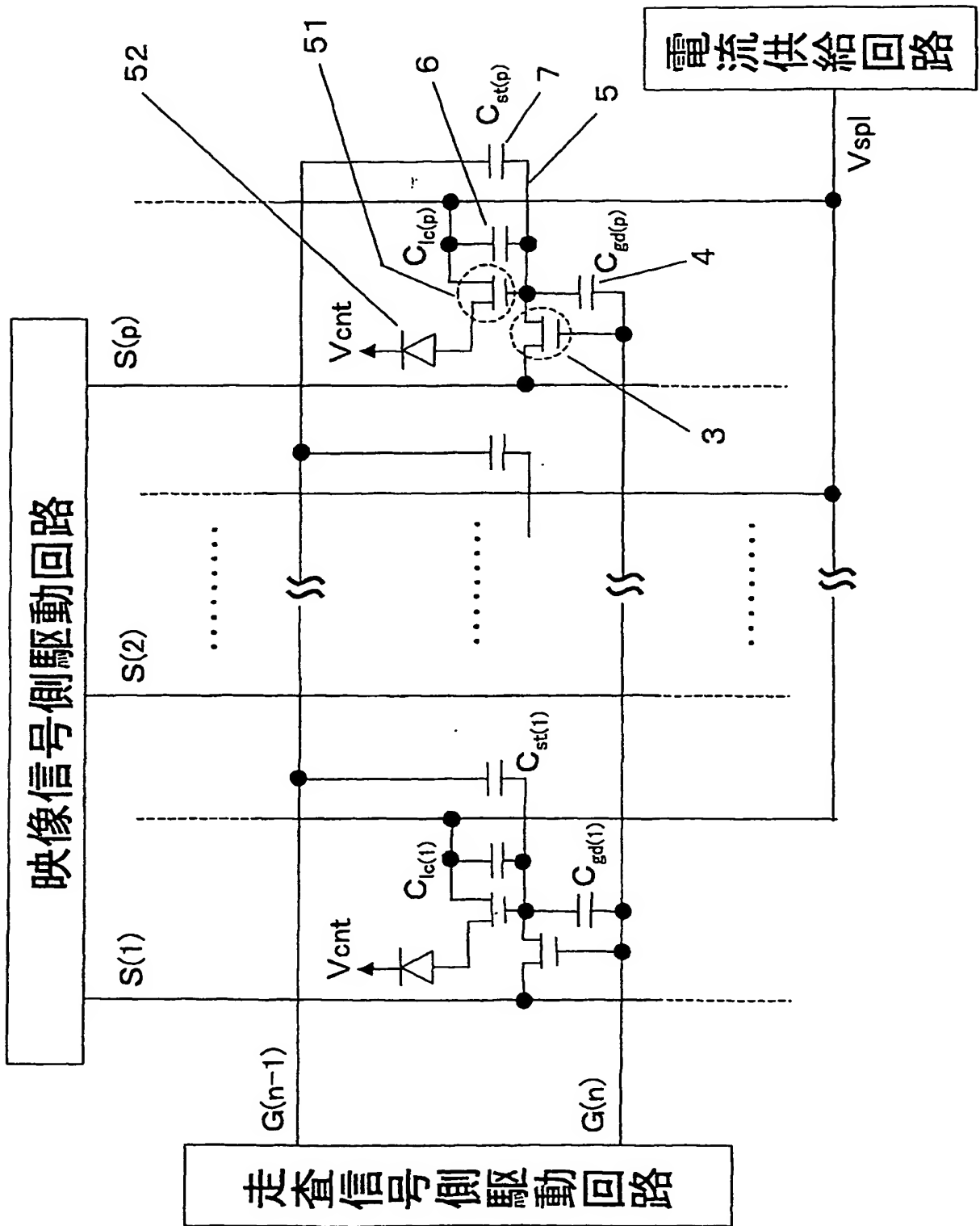


FIG. 33

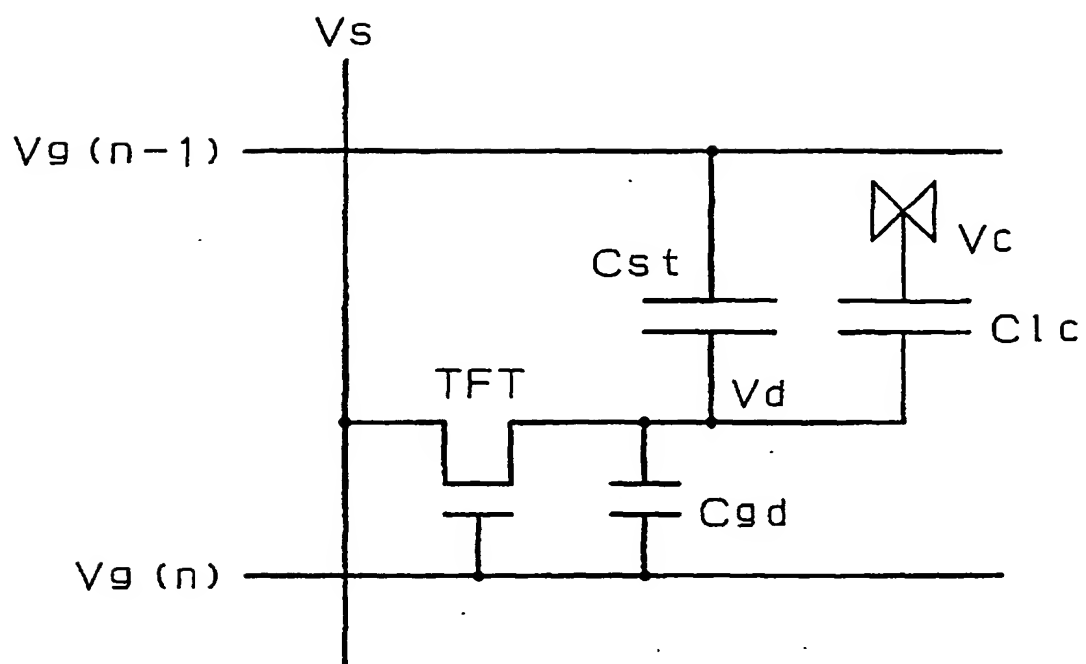


FIG. 34

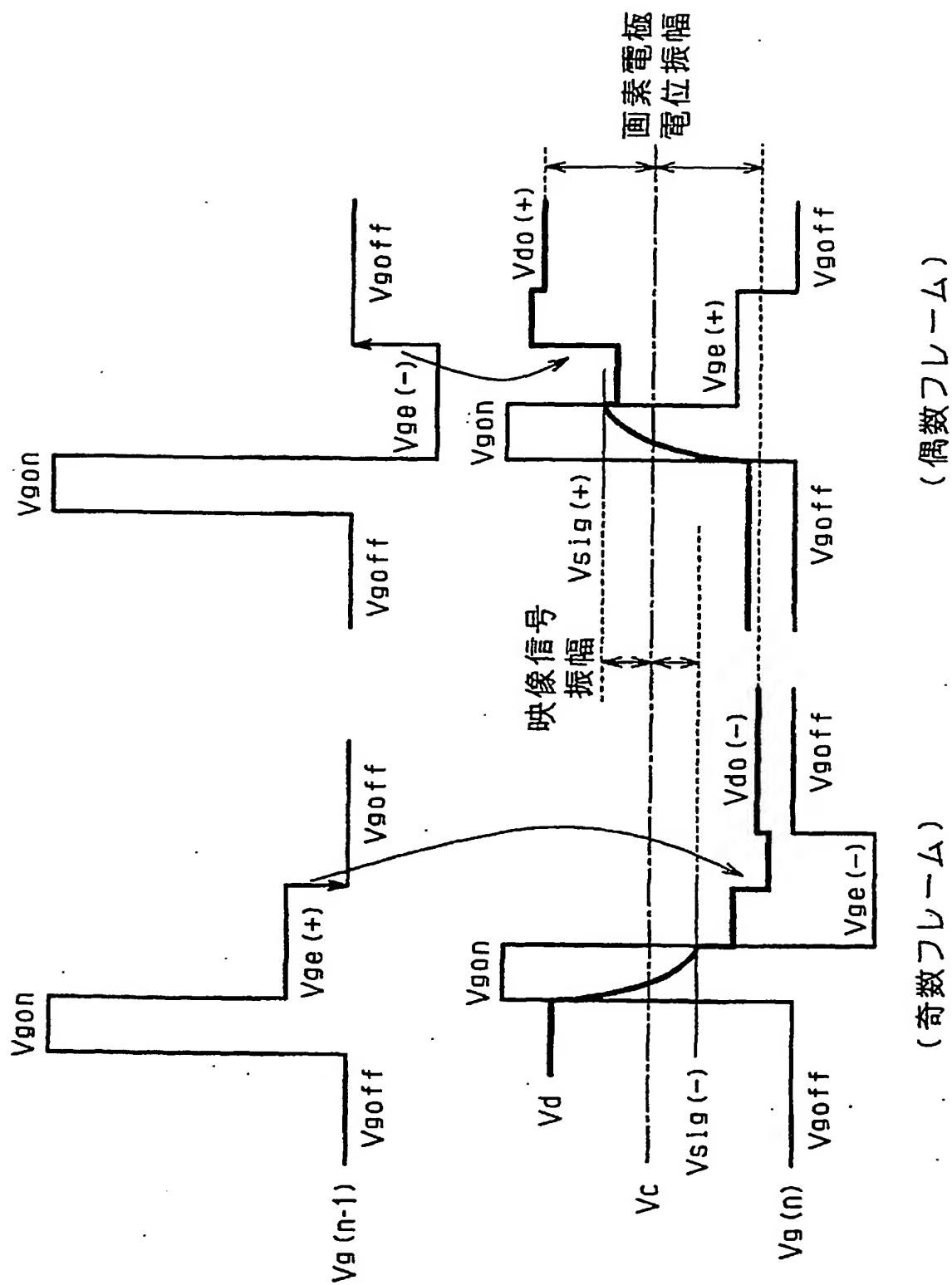


FIG. 35

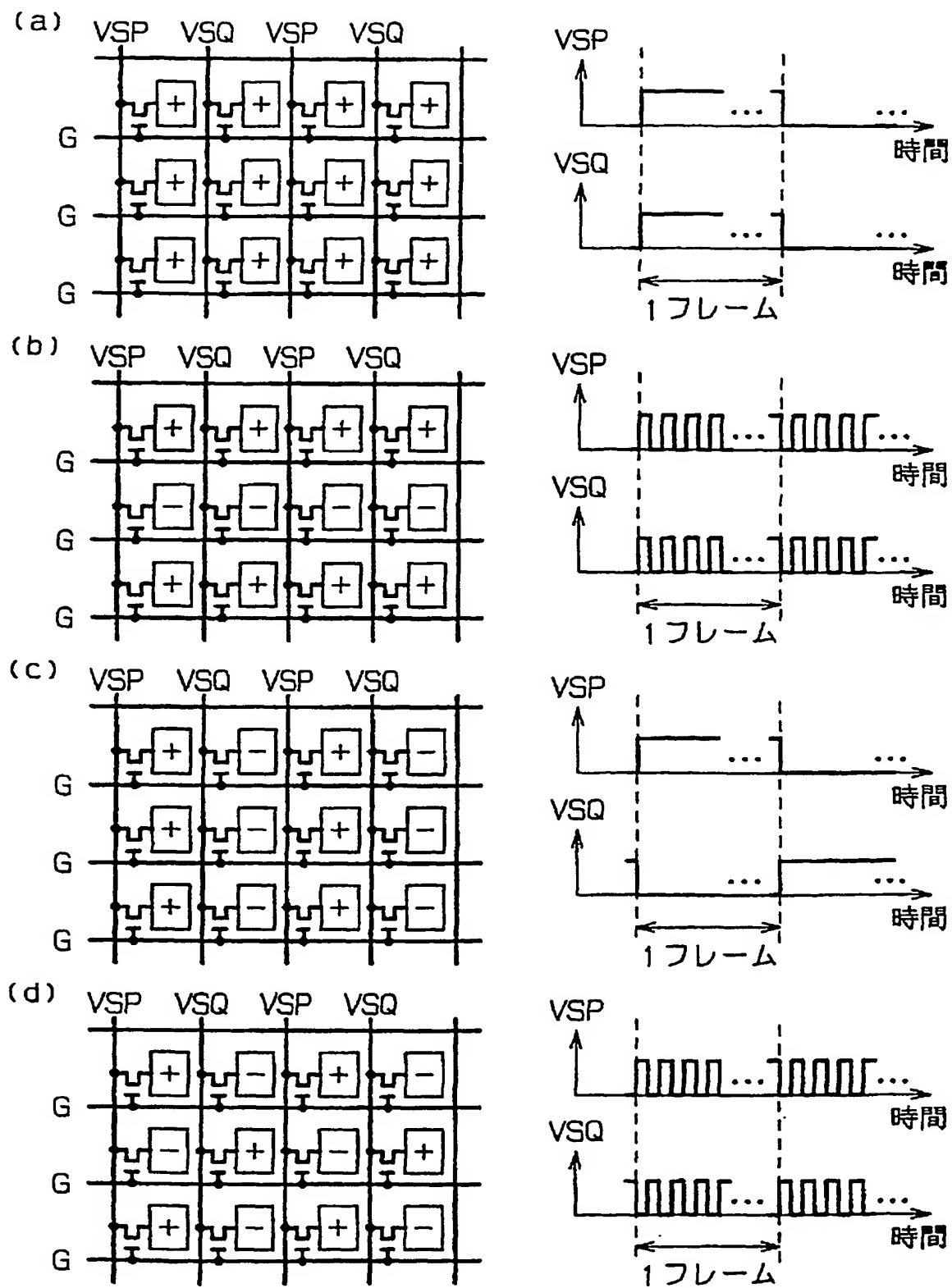


FIG. 36

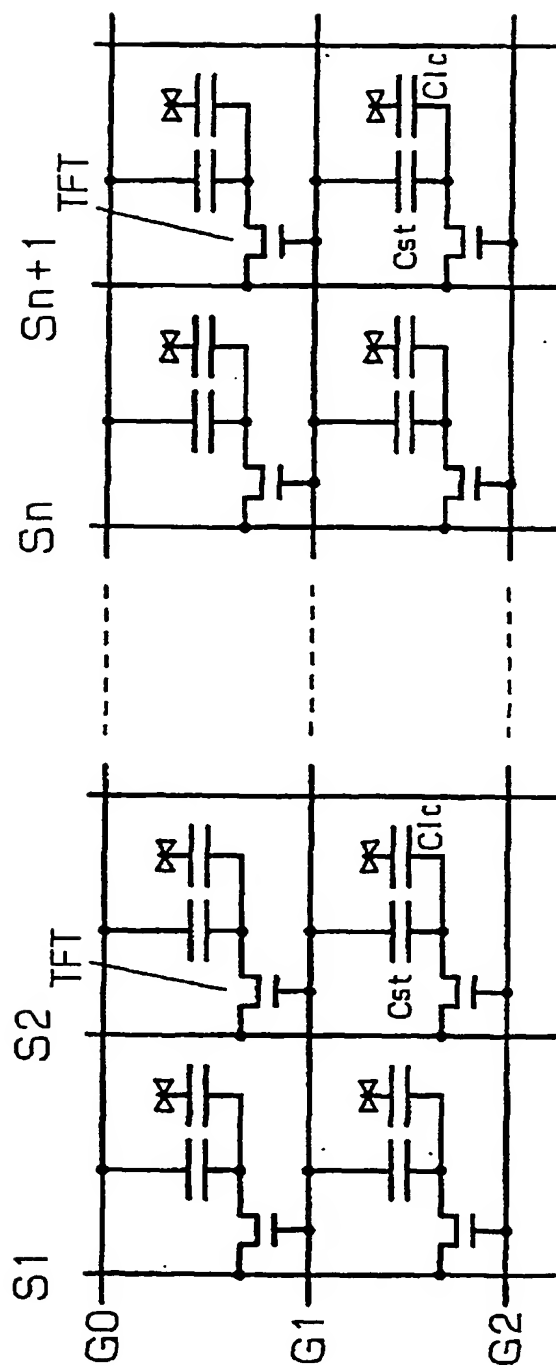


FIG. 37

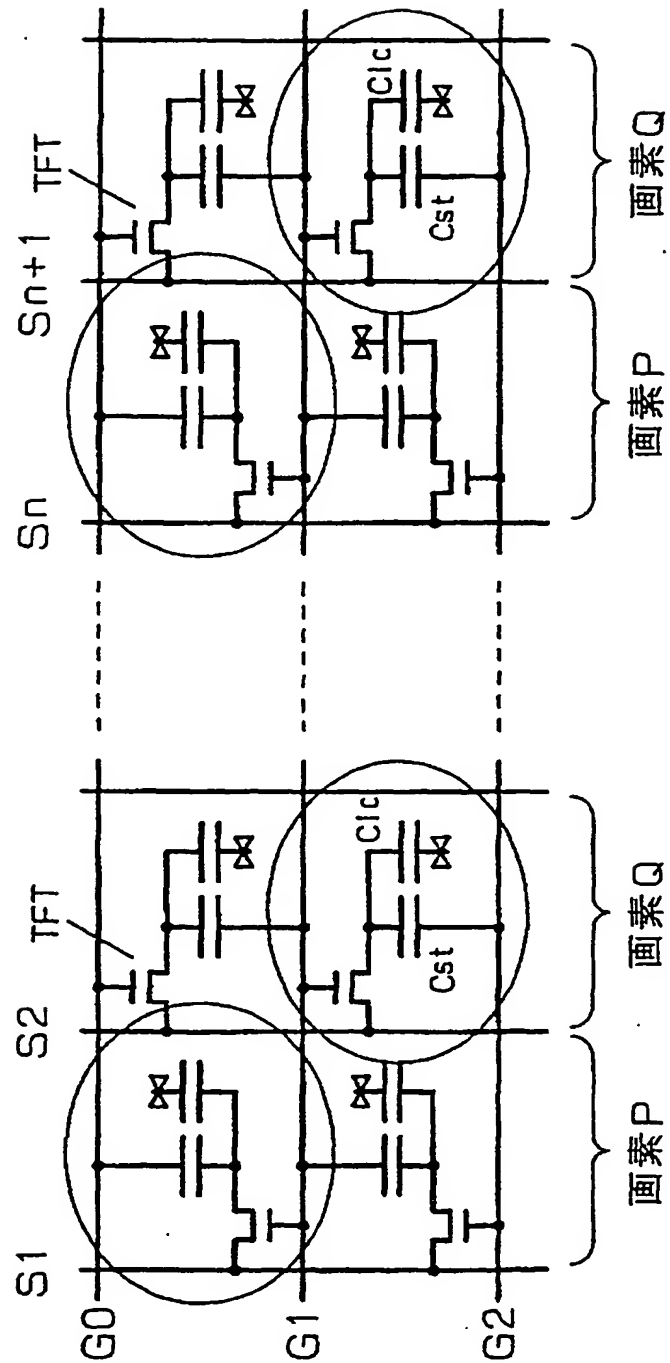


FIG. 38

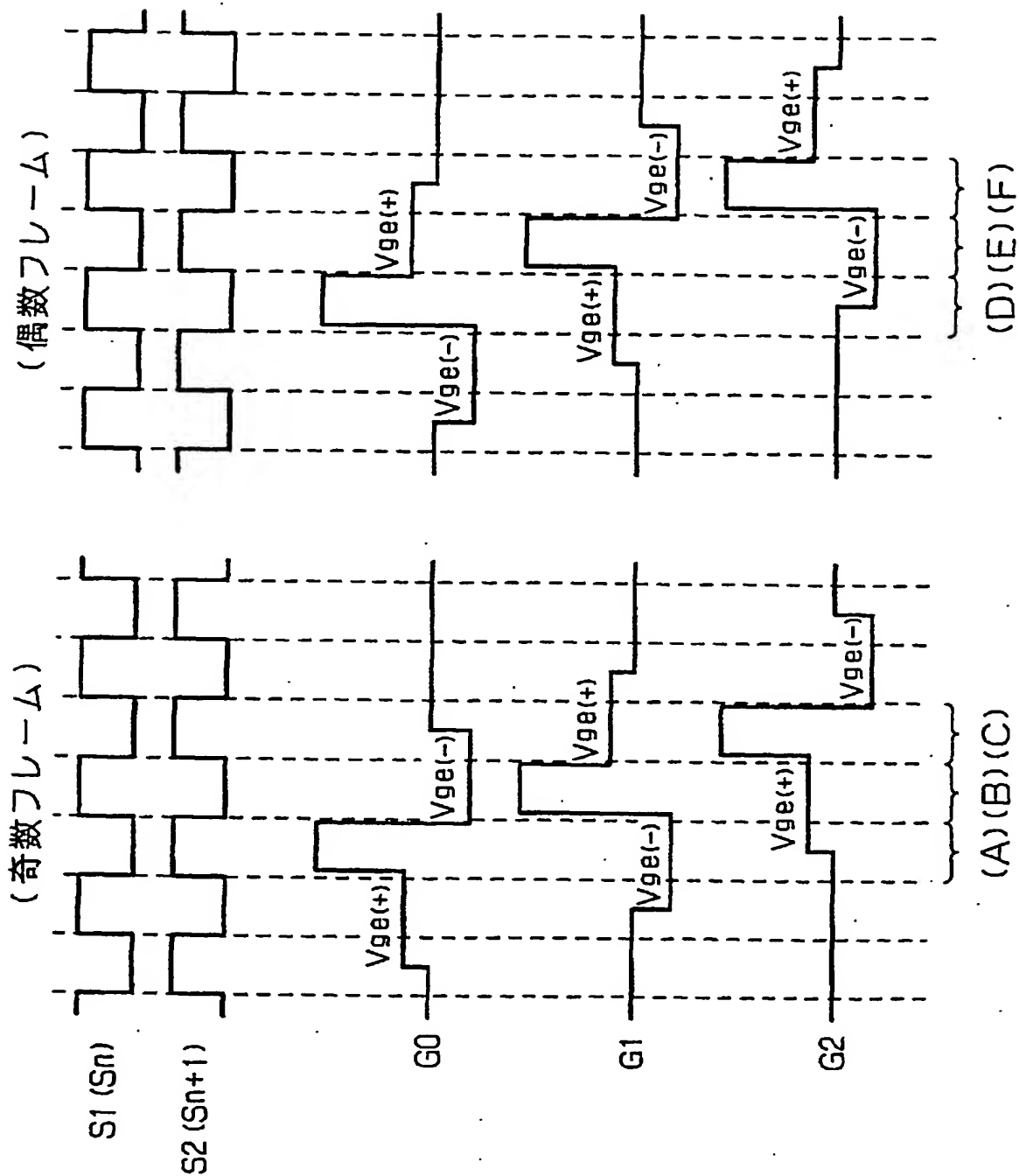


FIG. 39

(給電端)

(終端)

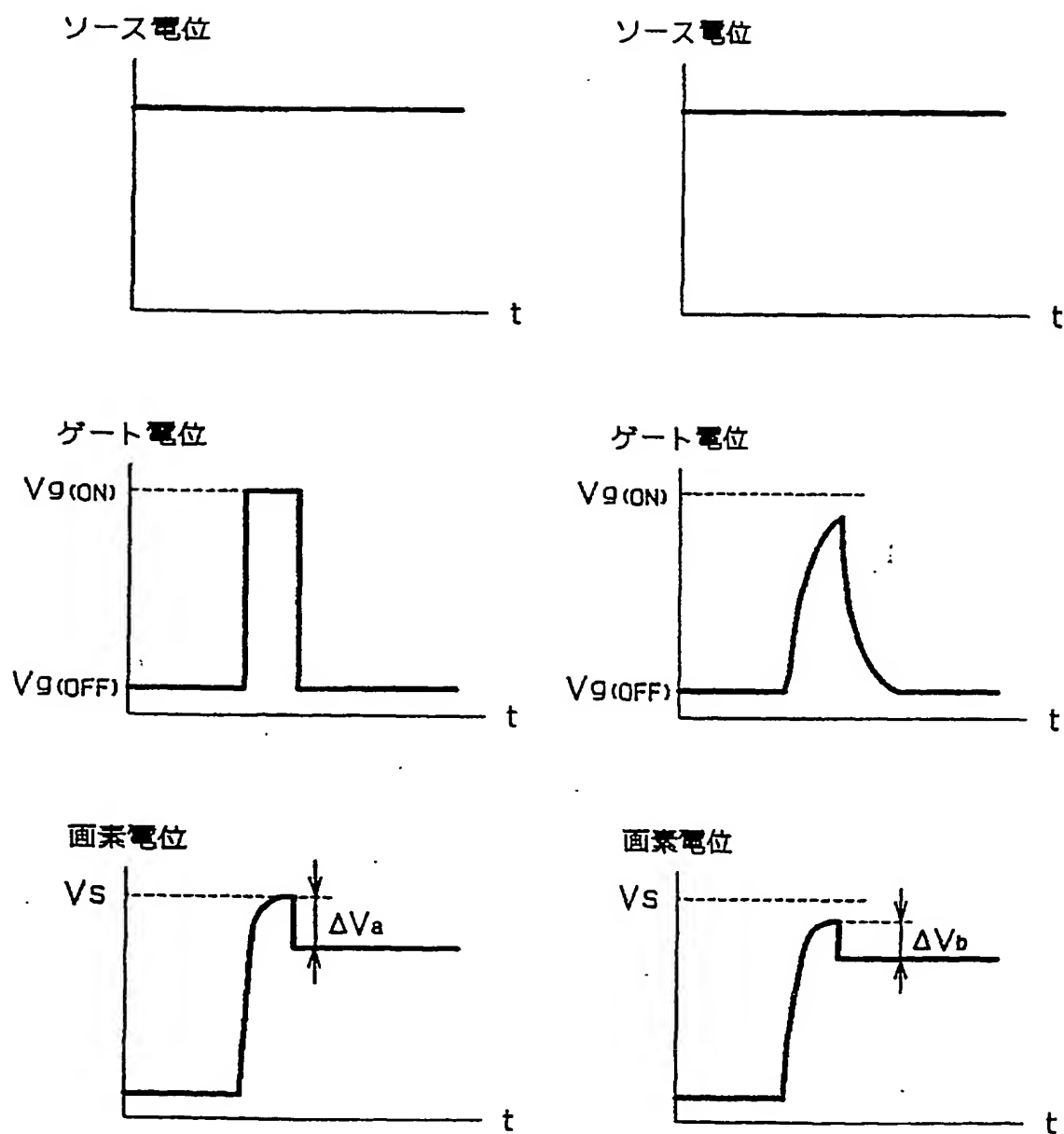


FIG. 40

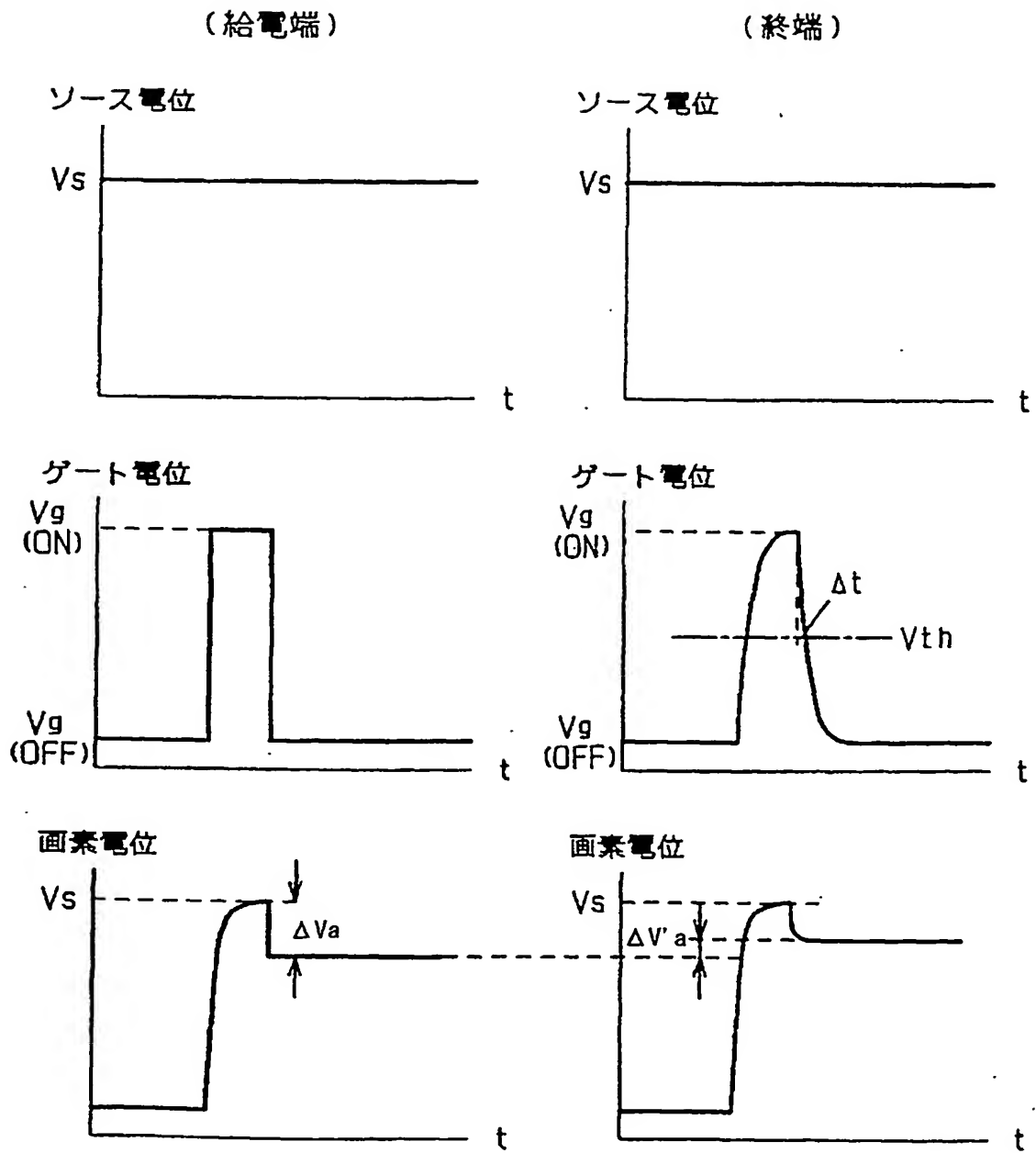


FIG. 41

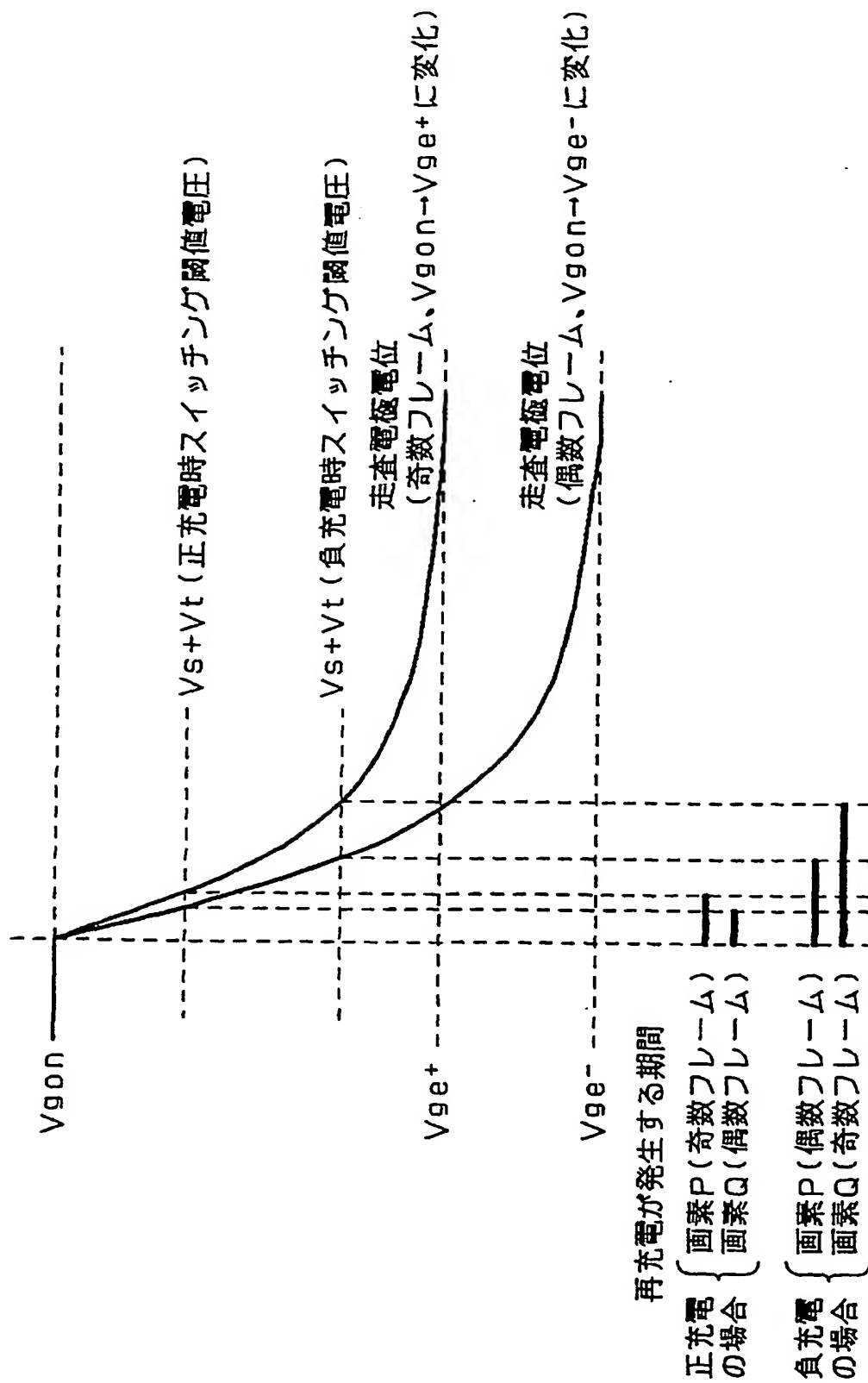


FIG. 42

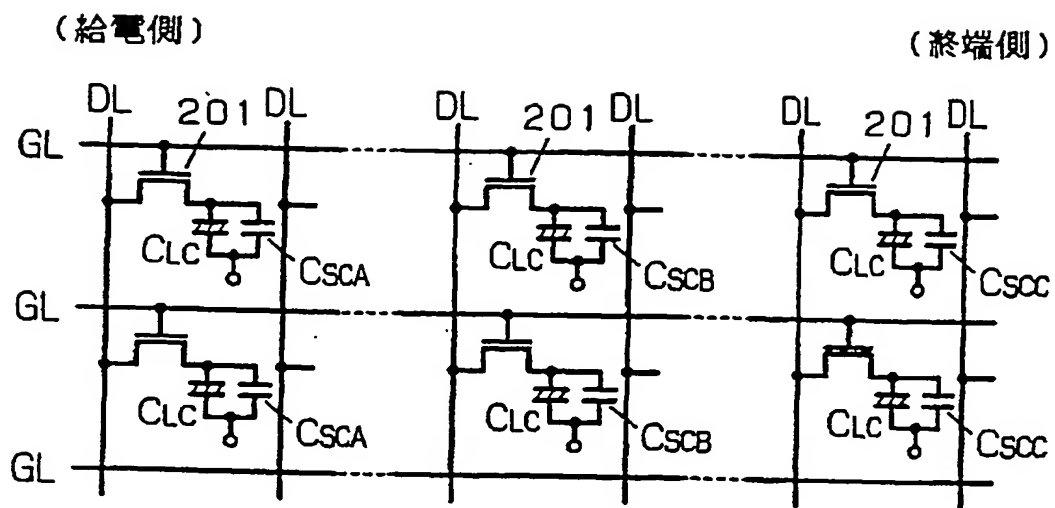


FIG. 43

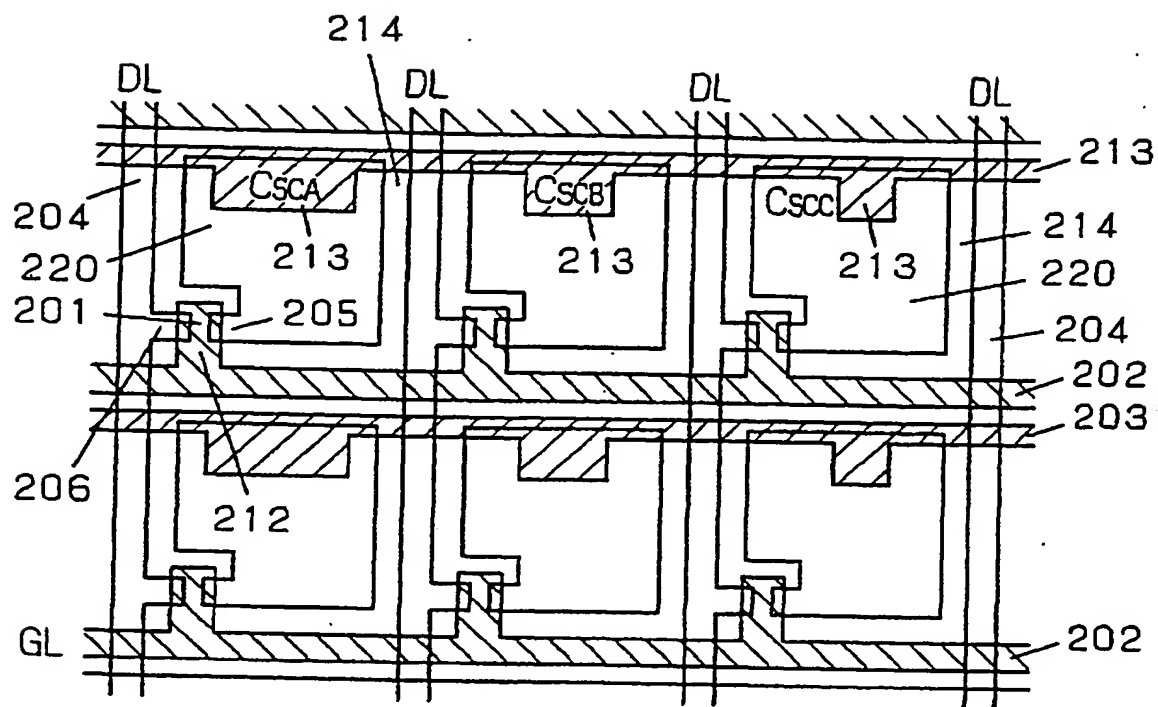


FIG. 44

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09F9/30, H01L29/78, G02F1/133, G02F1/1368, G02F1/1343, G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09F9/30, G02F1/133, G02F1/1368, G02F1/1343

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-183932 A (Toshiba Corporation),	11, 66, 76
A	09 July, 1999 (09.07.99) (Family: none)	1-10, 12-65,
		67-75, 77-83
A	JP 11-109369 A (Toshiba Corporation),	1-83
	23 April, 1999 (23.04.99) (Family: none)	
A	JP 7-168208 A (Citizen Watch Co., Ltd.),	1-83
	04 July, 1995 (04.07.95) (Family: none)	
A	JP 10-268357 A (Toshiba Electric Engineering Corporation),	1-83
	09 October, 1998 (09.10.98) (Family: none)	
A	JP 2000-2889 A (Mitsubishi Electric Corporation),	1-83
	07 January, 2000 (07.01.00) (Family: none)	
A	JP 11-352464 A (Texas Instr. Japan Ltd.),	1-83
	24 December, 1999 (24.12.99) (Family: none)	

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 July, 2001 (24.07.01)Date of mailing of the international search report
31 July, 2001 (31.07.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報

国際出願番号 CT/JP01/03474

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ G09F9/30, H01L29/78, G02F1/133, G02F1/1368, G02F1/1343, G09G3/36		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ G09F9/30, G02F1/133, G02F1/1368, G02F1/1343		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2001年 日本国登録実用新案公報 1994-2001年 日本国実用新案登録公報 1996-2001年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 11-183932 A (株式会社東芝), 9. 7月. 1 999 (09. 07. 99) (ファミリーなし)	11, 66, 76 1-10, 12-65, 67-75, 77-83 1-83
A	JP 11-109369 A (株式会社東芝), 23. 4月. 1999 (23. 04. 99) (ファミリーなし)	1-83
A	JP 7-168208 A (シチズン時計株式会社), 4. 7 月. 1995 (04. 07. 95) (ファミリーなし)	1-83
A	JP 10-268357 A (東芝電子エンジニアリング株式 会社), 9. 10月. 1998 (09. 10. 98) (ファミリ ーなし)	1-83
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	24. 07. 01	国際調査報告の発送日 81.07.01
国際調査機関の名称及びあて先	日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 柿崎 拓 電話番号 03-3581-1101 内線 3371

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J-P 2000-2889 A (三菱電機株式会社), 7. 1 月 2000 (07) 01. 00 (ファミリーなし)	1-83
A	J-P 11-352464 A (日本テキサス・インスツルメン ツ株式会社), 24. 12月. 1999 (24. 12. 99) (ファミリーなし)	1-83